



تصميم رقمي متقدم
Advanced Digital Design

Dr.-Eng. Samer Sulaiman

2020-2021

مفردات المنهاج

- أساسيات التصميم الرقمي
- عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)
- نمذجة التصميم الرقمي باستعمال لغة توصيف الكيان الصلب VHDL
- المحاكاة الوظيفية والزمنية للأنظمة الرقمية



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• خطوات التصميم

- تحديد مواصفات الدارة
- كتابة التعبيرات المنطقية (التابع المنطقي للدارة)
- تبسيط تلك التعبيرات إما باستخدام نظريات الجبر البوليني أو باستخدام مخططات كارنوف
- بناء الدارة المنطقية التي تم تصميمها، إما باستخدام البوابات الأساسية OR وAND وNOT أو باستخدام نوع واحد من البوابات NOR أو NAND

• الدارة المنطقية التوافقية Combinational Logic Circuit:

- تعتمد على البوابات وعلى عدم وجود عناصر التخزين
- وظيفتها تقتصر على ربط متغيرات الدخل بعمليات منطقية لتوليد متغيرات الخرج
- يعتمد الخرج فقط على القيم الحالية للدخل، فمتى ما تغيرت قيم الدخل تغيرت معها قيم الخرج.
- تتكون الدائرة التوافقية،



- من مجموعة من متحولات الدخل،
- من مجموعة من البوابات المنطقية
- من مجموعة من متحولات الخرج .
- تستقبل الدائرة إشارات الدخل (واحدات 1 وأصفار 0) تعالجها وتولد إشارات الخرج أيضاً كواحدات 1 وأصفار 0
- يمكن تحديد الدارة التوافقية بجدول الحقيقة الذي يمثل قيم الخرج لكل مجموعة من متغيرات الدخل.
- يمكن أيضاً وصف الدارة التوافقية بمجموعة من التوابع البولينية، واحدة لكل قيمة خرج.

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التوافقية:
- تحليل وتصميم الدوائر المنطقية Logic Circuit Design
- مرحلة تحليل الدارة:
 - يجب أولاً تحديد الوظيفة التي تنفذها الدارة.
 - تبدأ هذه المهمة بمخطط منطقي معين وتنتهي بمجموعة من الوظائف المنطقية ، أو جدول الحقيقة ، أو ربما شرحاً لعمل الدارة.
 - إذا كان المخطط المنطقي المراد تحليله مصحوباً بتابع أو شرح لما يفترض تحقيقه، فإن مشكلة التحليل تقتصر على التحقق من الوظيفة المحددة.
 - يمكن إجراء التحليل يدوياً عن طريق البحث عن التوابع المنطقية أو جدول الحقيقة أو باستخدام برنامج محاكاة الكمبيوتر.
 - تتمثل الخطوة الأولى في التحليل في التأكد من أن الدارة المعينة توافقية وليست متسلسلة.
 - يحتوي الرسم التخطيطي للدائرة التوافقية على بوابات منطقية بدون مسارات التغذية الراجعة أو عناصر الذاكرة.
 - مسار التغذية الراجعة هو اتصال من خرج إحدى البوابات إلى مدخل البوابة الثانية التي يشكل خرجها جزءاً من الدخل إلى البوابة الأولى.
 - بمجرد التحقق من أن المخطط المنطقي هو مخطط دائرة توافقية، يمكن المضي قدماً للحصول على توابع الخرج المنطقية أو جدول الحقيقة.
 - سيتم اتباع الخطوات التالية:
 - تسمية جميع مخرجات البوابة التي تمثل كدالة لمتغيرات الدخل برموز عشوائية (ولكن بأسماء ذات معنى)
 - تحديد التوابع المنطقية لكل خرج بوابة
 - تسمية البوابات التي هي تابع لمتغيرات الدخل والبوابات التي تم تسميتها مسبقاً برموز عشوائية أخرى.
 - إيجاد التوابع المنطقية لهذه البوابات
 - تكرار الخطوة 2 حتى يتم الحصول على مخرجات الدائرة

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

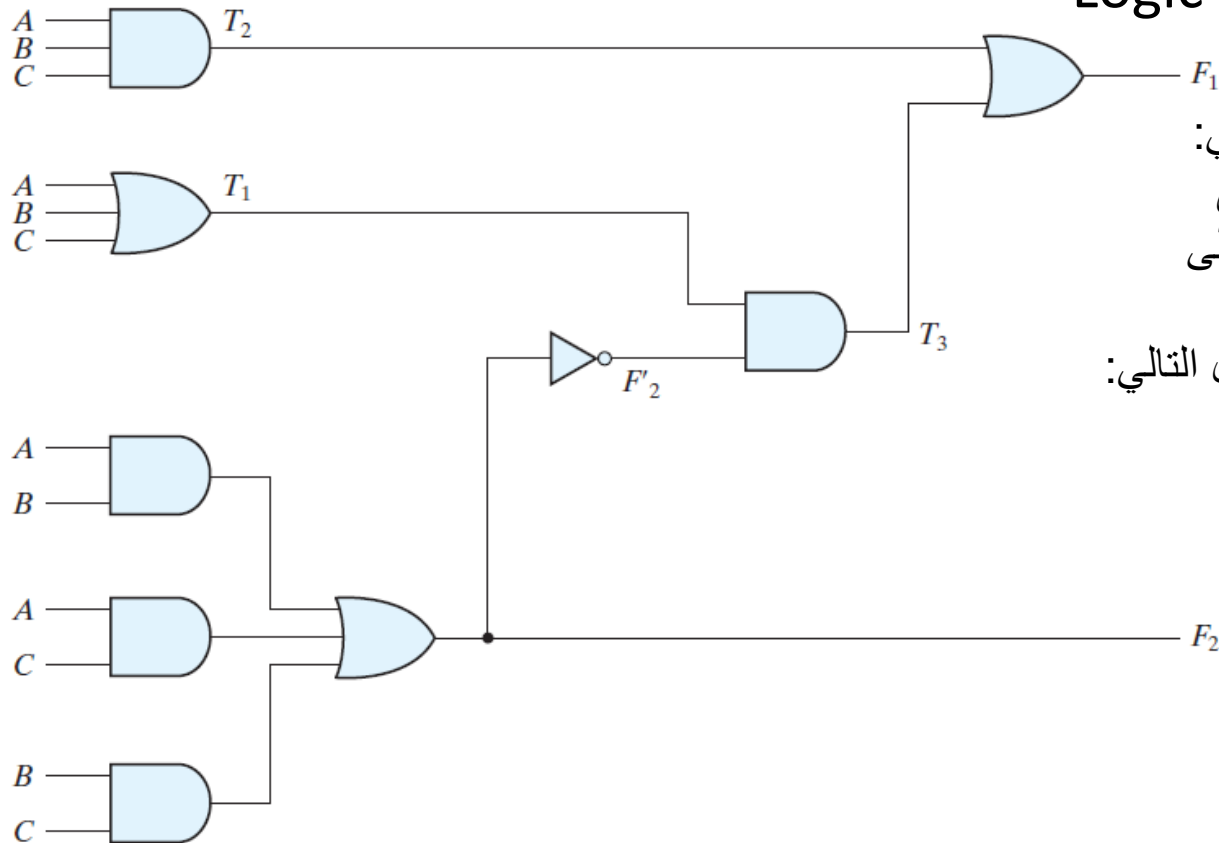
• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• مرحلة تحليل الدارة:

• مثال: ليكن لدينا الدارة المنطقية الموضحة بالشكل التالي:

• من هذه الدارة يمكننا ملاحظة وجود ثلاثة مداخل هي A, B, C ومخرجين هما F_1, F_2 بالإضافة إلى ثلاثة مخارج انتقالية وهم T_1, T_2, F_2'

• يمكن انشاء جدول الحقيقة لهذه الدارة على الشكل التالي:



A	B	C	F ₂	F ₂ '	T ₁	T ₂	T ₃	F ₁
0	0	0	0	1	0	0	0	0
0	0	1	0	1	1	0	1	1
0	1	0	0	1	1	0	1	1
0	1	1	1	0	1	0	0	0
1	0	0	0	1	1	0	1	1
1	0	1	1	0	1	0	0	0
1	1	0	1	0	1	0	0	0
1	1	1	1	0	1	1	0	1

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• مرحلة تحليل الدارة:

• مثال: ليكن لدينا الدارة المنطقية الموضحة بالشكل التالي:

• وبالتالي يمكننا استنتاج التوابع المنطقية لخرج الدارة:

$$F_2 = AB + AC + BC$$

$$T_1 = A + B + C$$

$$T_2 = ABC$$

$$T_3 = F_2 T_1$$

$$F_1 = T_3 + T_2$$

$$F_1 = T_3 + T_2 = F_2 T_1 + ABC$$

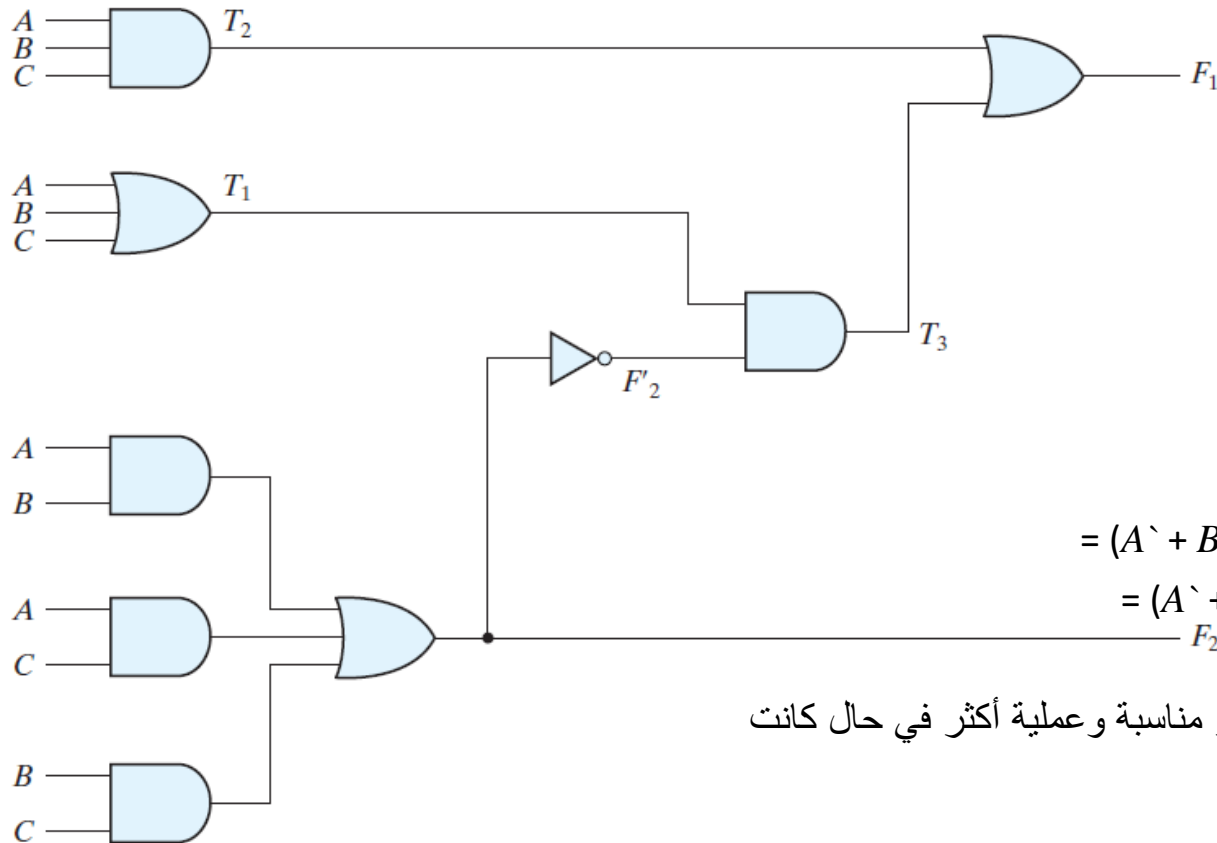
$$= (AB + AC + BC)(A + B + C) + ABC$$

$$= (A' + B')(A' + C')(B' + C')(A + B + C) + ABC$$

$$= (A' + B'C')(AB' + AC' + BC' + B'C) + ABC$$

$$= A'BC' + A'B'C + AB'C' + ABC$$

• يمكن تحليل هذه الدارة عن طريق برامج المحاكاة والتي تعتبر مناسبة وعملية أكثر في حال كانت عدد المدخل والمخارج كبير



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• مرحلة تصميم الدارة:

• خطوات حل مسائل التصميم

• معرفة المدخلات والمخرجات وتحديد عددها

• انشاء جدول الحقيقة لخرج الدارة اعتمادا على الدخل

• تبسيط التابع المنطقي (خرج الدارة)

• رسم التابع المنطقي الناتج بعد عملية التبسيط

• مثال: ليكن المطلوب تصميم دارة تحويل التشفير الثنائي إلى عشري (BCD) بزيادة 3 للرقم العشري

• بما أن النظام العشري يتألف من الاعداد من 0 وحتى 9 وبالتالي نحتاج إلى 4bits كدخل ثنائي (أي أربعة مداخل) لإنتاج هذه الاعداد، ولكن هذه المداخل تنتج أرقاماً أكبر من 9 لذلك سيتم وضع الخرج في هذه الحالة بحالة Don't Care كما هو مبين بجدول الحقيقة:

InPuts				OutPuts			
A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	x	x	x	x
1	0	1	1	x	x	x	x
1	1	0	0	x	x	x	x
1	1	0	1	x	x	x	x
1	1	1	0	x	x	x	x
1	1	1	1	x	x	x	x

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

		C			
		00	01	11	10
A	00	m_0 1	m_1	m_3	m_2 1
	01	m_4 1	m_5	m_7	m_6 1
	11	m_{12} X	m_{13} X	m_{15} X	m_{14} X
	10	m_8 1	m_9	m_{11} X	m_{10} X
		D			
		$z = D'$			

		C			
		00	01	11	10
A	00	m_0 1	m_1	m_3 1	m_2
	01	m_4 1	m_5	m_7 1	m_6
	11	m_{12} X	m_{13} X	m_{15} X	m_{14} X
	10	m_8 1	m_9	m_{11} X	m_{10} X
		D			
		$y = CD + C'D'$			

		C			
		00	01	11	10
A	00		1	1	1
	01	1			1
	11	X	X	X	X
	10		1	X	X
		D			
		$x = B'C + B'D + BC'D'$			

		C			
		00	01	11	10
A	00	m_0	m_1	m_3	m_2
	01	m_4	1	1	1
	11	m_{12} X	m_{13} X	m_{15} X	m_{14} X
	10	m_8 1	m_9 1	m_{11} X	m_{10} X
		D			
		$w = A + BC + BD$			

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• مرحلة تصميم الدارة:

• مثال: ليكن المطلوب تصميم دارة تحويل التشفير الثنائي إلى عشري (BCD) بزيادة 3 للرقم العشري

• ننشأ جداول كارنوف لكل خرج من أجل استنتاج التابع المنطقي لها

• ينتج لدينا التوابع التالية:

$$z = D'$$

$$y = CD + C'D' = CD + (C + D)'$$

$$x = B'C + B'D + BC'D'$$

$$= B'(C + D) + BC'D'$$

$$= B'(C + D) + B(C + D)'$$

$$w = A + BC + BD = A + B(C + D)$$

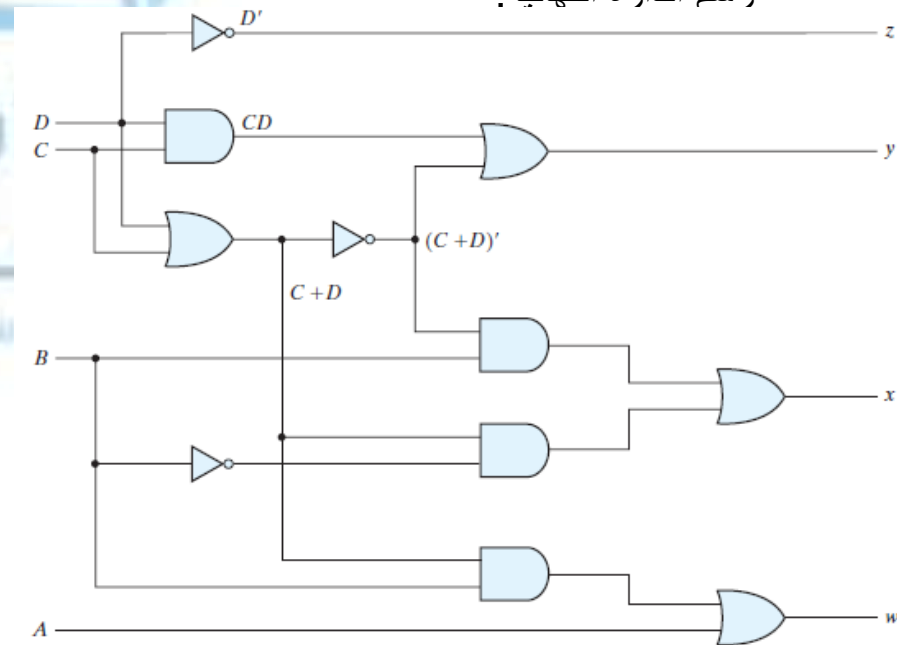
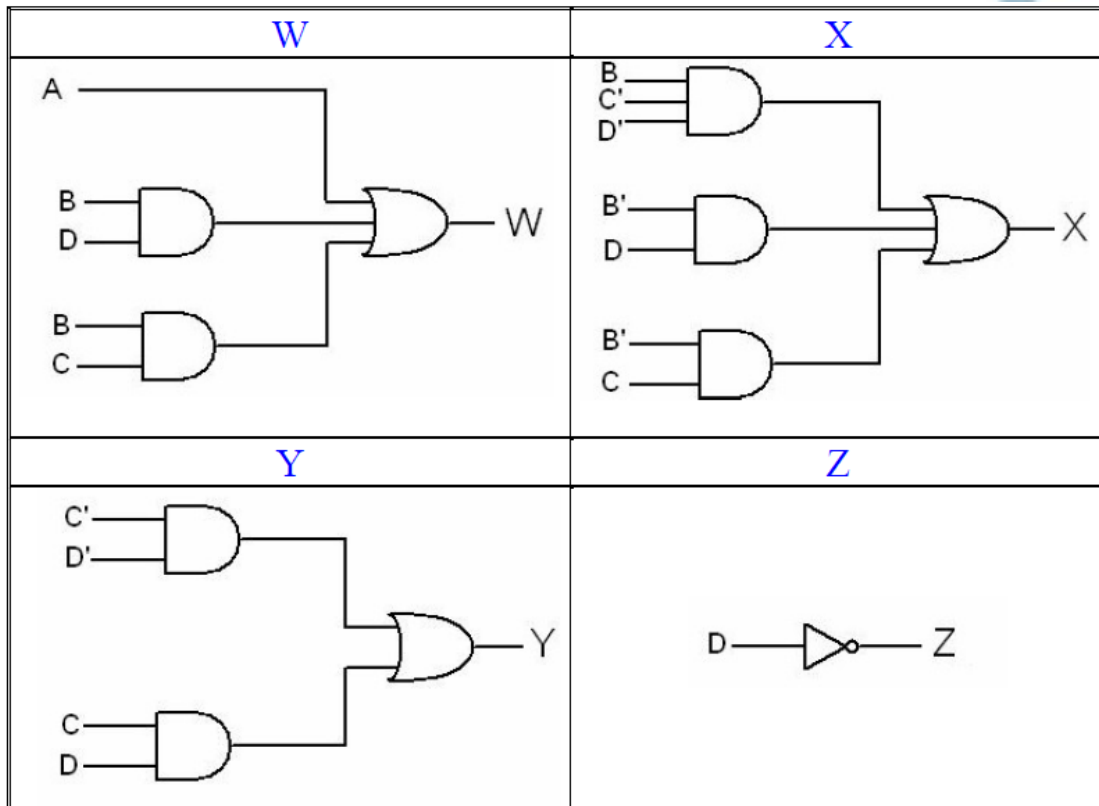
عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• مرحلة تصميم الدارة:

- مثال: ليكن المطلوب تصميم دارة تحويل التشفير الثنائي إلى عشري (BCD) بزيادة 3 للرقم العشري
- رسم الدارة النهائية:



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• الجامع والطرح الثنائي BINARY ADDER-SUBTRACTOR:

• تؤدي أجهزة الكمبيوتر الرقمية مجموعة متنوعة من مهام معالجة المعلومات.

• أهم هذه الوظائف هي العمليات الحسابية المختلفة.

• أبسط عملية حسابية هي عملية جمع رقمين ثنائيين.

• تتكون هذه العملية البسيطة من أربع حالات:

$$0 = 0 + 0 \cdot$$

$$1 = 1 + 0 \cdot$$

$$1 = 0 + 1 \cdot$$

$$10 = 1 + 1 \cdot$$

• تنتج العمليات الثلاث الأولى مجموع رقم واحد، ولكن العملية الرابعة تنتج مجموع ثنائي من رقمين.

• يسمى الجزء الثاني من هذه النتيجة بالحمل.

• تسمى هذه العملية المؤلفة من مرحلة واحدة بـ Half Adder

• بينما إذا أصبح عدد مداخل عملية الجمع الثنائي 3 فيصبح لدينا Full Adder

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• الجامع والطراح الثنائي BINARY ADDER-SUBTRACTOR:

• تصميم الـ Half Adder:

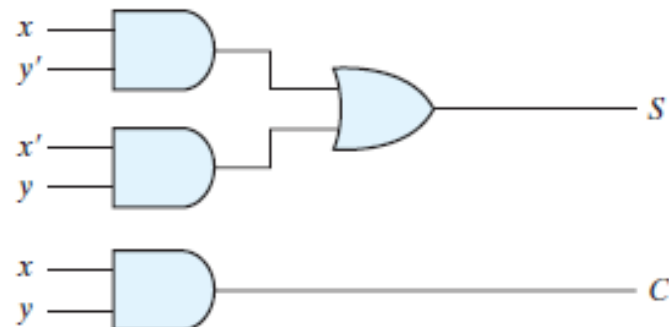
- يتألف من مدخلين ومخرجين هما ناتج عملية الجمع الثنائي والحمل
- جدول الحقيقة لهذه الدارة:
- التوابع المنطقية لمخارج الدارة:

$$S = x \oplus y \text{ والتي يمكن تبسيطها إلى } S = x'y + xy'$$

$$C = xy$$

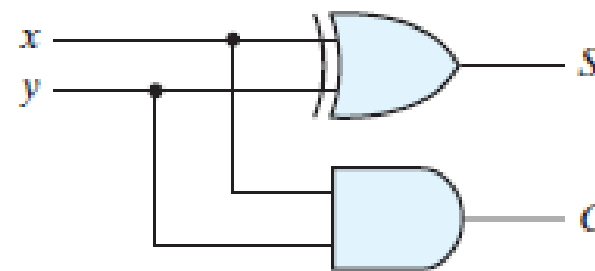
• رسم الدارة المكافئة

InPuts		OutPuts	
X	Y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



$$(a) S = xy' + x'y$$

$$C = xy$$



$$(b) S = x \oplus y$$

$$C = xy$$

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

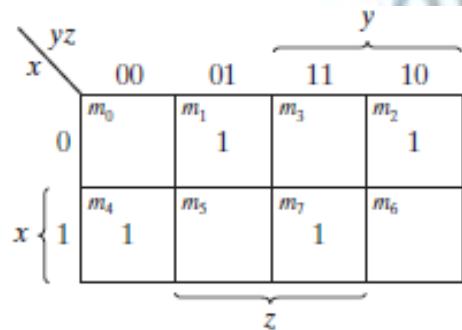
• الجامع والطرح الثنائي BINARY ADDER-SUBTRACTOR:

• تصميم الـ Full Adder:

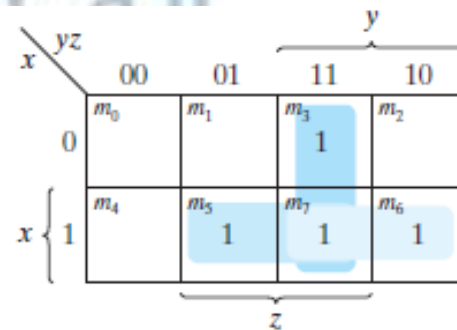
• يتألف من ثلاثة مداخل ومخرجين هما ناتج عملية الجمع الثنائي مضافاً إليه الحمل السابق والحمل

• جدول الحقيقة لهذه الدارة:

• من جداول كارنوف يمكن استنتاج التوابع المنطقية لمخارج الدارة:



(a) $S = x'y'z + x'yz' + xy'z' + xyz$



(b) $C = xy + xz + yz$

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

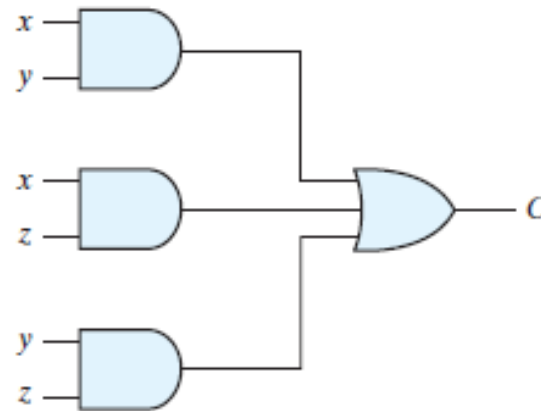
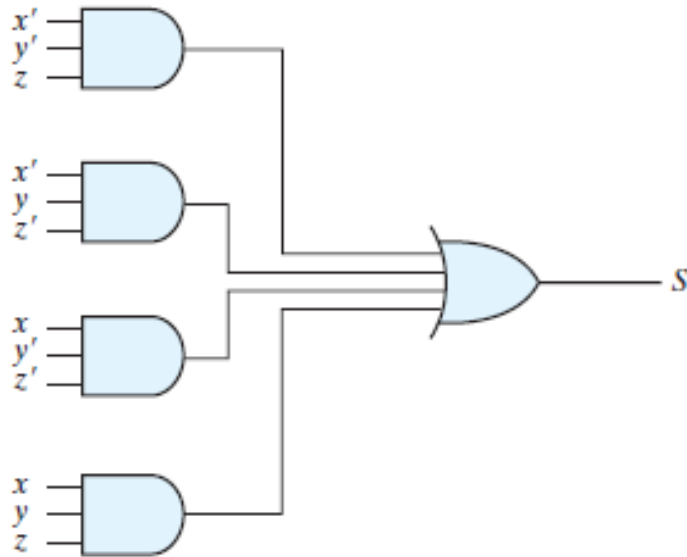
• الجامع والطراح الثنائي :BINARY ADDER-SUBTRACTOR

• تصميم الـ Full Adder

• رسم الدارة المكافئة

$$S = x'y'z + x'yz' + xy'z' + xyz$$

$$C = xy + xz + yz$$



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• الجامع والطراح الثنائي BINARY ADDER-SUBTRACTOR:

• تصميم الـ Full Adder:

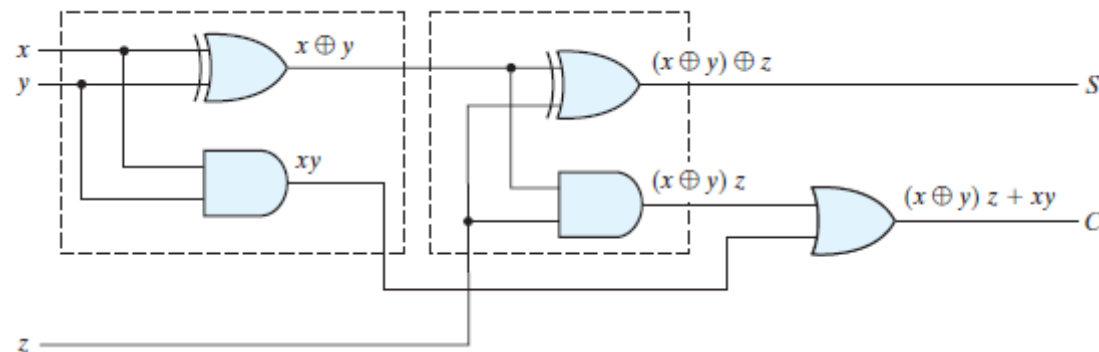
• رسم الدارة المكافئة

• $S = x'y'z + x'yz' + xy'z' + xyz$ يمكن تبسيطها لتصبح بالشكل التالي:

$$\begin{aligned} S &= z \oplus (x \oplus y) \\ &= z'(xy' + x'y) + z(xy' + x'y) \\ &= z'(xy' + x'y) + z(xy' + x'y) \\ &= xy'z' + x'yz' + xyz + x'y'z \end{aligned}$$

• $C = xy + xz + yz$ يمكن تبسيطها لتصبح بالشكل التالي:

$$C = z(x \oplus y) + xy = z(xy' + x'y) + xy = xy'z + x'yz + xy$$



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

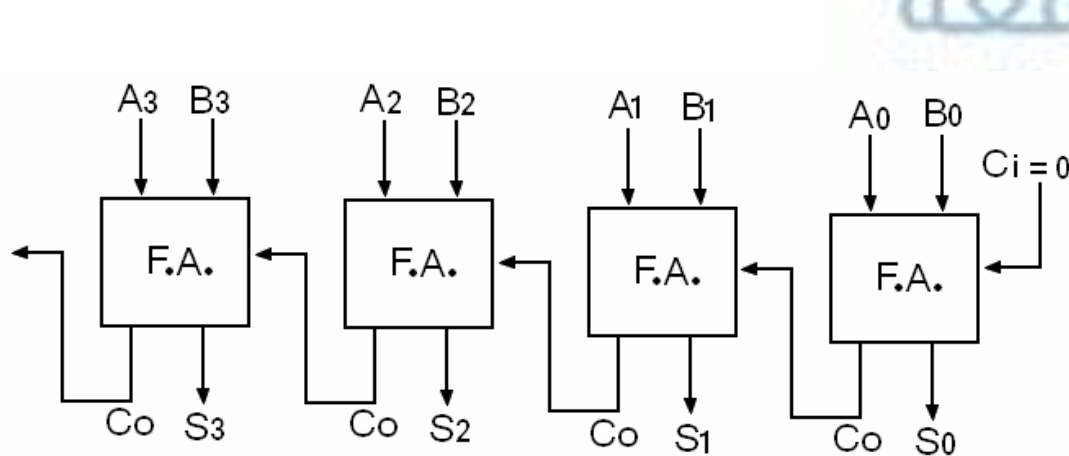
• الجامع والطراح الثنائي BINARY ADDER-SUBTRACTOR:

• مثال:

• المطلوب تصميم جامع ثنائي من 4 خانات

• يتكون من 5 مداخل و5 مخارج وذلك عند استخدام الـ Full Adder

• نلاحظ أن مدخل الحمل السابق للـ Full Adder الأول يجب أن يكون مساوياً للصفر



$$\begin{array}{r} 0 \\ A_3 \ A_2 \ A_1 \ A_0 \\ B_3 \ B_2 \ B_1 \ B_0 \ + \\ \hline \end{array}$$

• نحتاج إلى 4 Full Adder متصلين مع

بعضهم عن طريق خرج الحمل السابق

• رسم الدارة النهائية:

• وظيفة:

• رسم الدارة السابقة باستخدام البوابات

• تصميم طراح ثنائي