

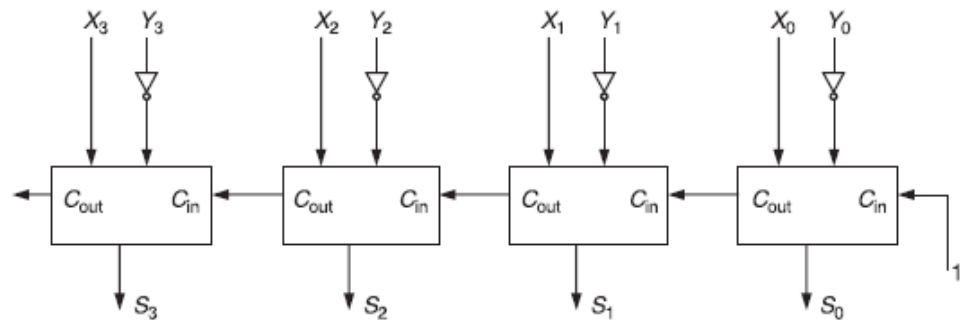


تصميم رقمي متقدم
Advanced Digital Design

Dr.-Eng. Samer Sulaiman

2020-2021

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)



• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• الجامع والطرح الثنائي BINARY ADDER-SUBTRACTOR:

• تصميم الطرح الثنائي Binary Subtractor:

• يمكن إجراء طرح الأرقام الثنائية بسهولة عن طريق المكملات

• لإجراء عملية الطرح $A - B$ بأخذ مكمل من المرتبة 2 لـ B ونجمعه مع A .

• يمكن الحصول على مكمل من المرتبة 2 بأخذ المكمل من المرتبة 1 وإضافة 1 إلى زوج البتات الأقل أهمية.

• يمكن تنفيذ المكمل 1 باستخدام محولات (عاكس)، ويمكن إضافة 1 إلى المجموع من خلال حمل الدخل الأول

• تتكون الدائرة الخاصة بطرح $A - B$ من جامع مع محولات موضوعة بين كل دخل بيانات B والمدخل المقابل للجامع الكامل.

• يجب أن يكون حمل الدخل C_0 مساوياً لـ 1 عند إجراء عملية الطرح.

• تصبح العملية التي يتم إجراؤها على هذا النحو:

• الدخل A يجمع إلى المكمل 1 لـ B ، ثم يجمع الناتج مع 1

• يمكن دمج عمليتي الجمع والطرح في دائرة واحدة عن طريق تضمين بوابة XOR مع كل مدخل للجامع كامل بدلاً من بوابة NOT

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التوافقية:
- تحليل وتصميم الدوائر المنطقية Logic Circuit Design
- الجامع والطراح الثنائي BINARY ADDER-SUBTRACTOR:
- تصميم الطراح الثنائي Binary Subtractor:
- يمكن هنا التمييز بين نوعين من الأعداد signed و unsigned
- تحتاج أجهزة الكمبيوتر إلى دائرة مشتركة واحدة فقط للتعامل مع كلا النوعين من الأعداد.
- عندما يتم إضافة رقمين بطول n ويكون المجموع رقمًا بطول n + 1، نقول إن overflow قد حدث.
- يعد الـ overflow مشكلة في أجهزة الكمبيوتر الرقمية لأن عدد البتات التي تمثل العدد محدود والنتيجة التي تحتوي على n + 1 بت لا يمكن استيعابها بواسطة رقم بطول n بت
- يعتمد اكتشاف overflow بعد جمع رقمين ثنائيين على نوع الأرقام (signed أو unsigned).
- عندما يتم إضافة رقمين من نوع unsigned، يتم الكشف عن overflow من خرج الحمل النهائي.
- في حالة الأرقام من نوع signed، عند جمع رقمين، يتم التعامل مع بت الإشارة كجزء من الرقم ولا يشير الحمل النهائي إلى overflow.
- قد يحدث overflow إذا كان الرقمان المضافان كلاهما موجب أو سالب.
- مثال:

carries:	0 1	carries:	1 0
+70	0 1000110	-70	1 0111010
+80	0 1010000	-80	1 0110000
<hr/>	<hr/>	<hr/>	<hr/>
+150	1 0010110	-150	0 1101010

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• الجامع والطراح الثنائي BINARY ADDER-SUBTRACTOR:

• تصميم الطراح الثنائي Binary Subtractor:

- يمكن هنا التمييز بين نوعين من الأعداد signed و unsigned
- يمكن الكشف عن حالة overflow من خلال مراقبة الحمل الداخل إلى بت الإشارة والحمل النهائي الناتج عن بت الإشارة
- إذا كان الحملان غير متساويين ، فقد حدث overflow.

• وعليه يمكن استخدام بوابة XOR،

• يتم اكتشاف overflow عندما يكون

خرج البوابة مساوياً لـ 1.

• وعليه تصبح الدارة على الشكل التالي:

• إذا كانت $V = 0$ بعد تنفيذ عملية الجمع أو الطرح،

فإن يحدث overflow، وتكون نتيجة n بت صحيحة.

• إذا كانت $V = 1$ ، فإن نتيجة العملية تحتوي على

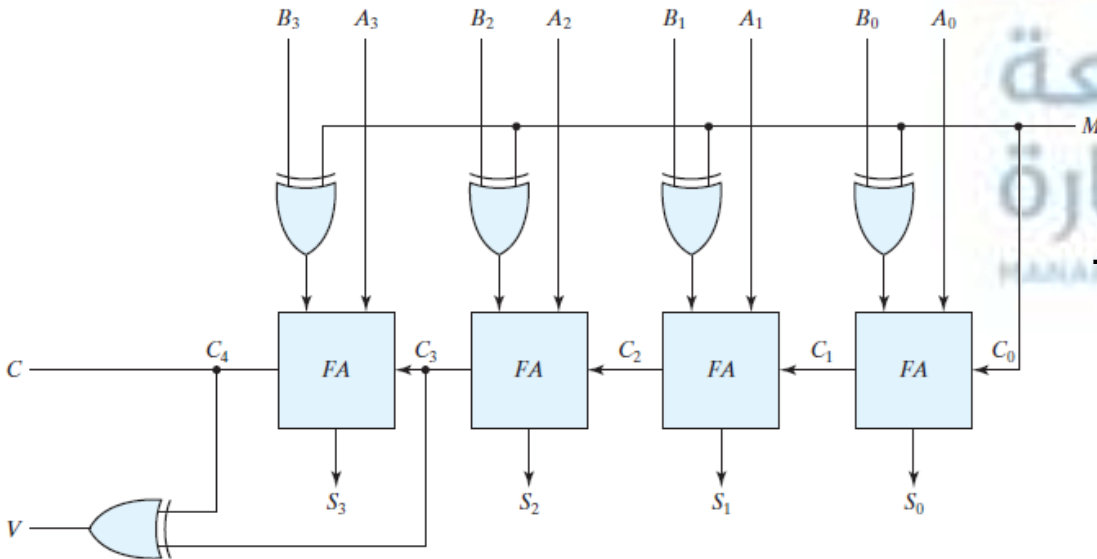
$n + 1$ بت ، ولكن فقط n بتات أقصى اليمين من

الرقم تتلاءم مع المساحة المتاحة

• لذلك حدث overflow. وعليه البت ($n + 1$)

هي الإشارة الفعلية وقد تم إزاحتها خارج

الموضع.



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

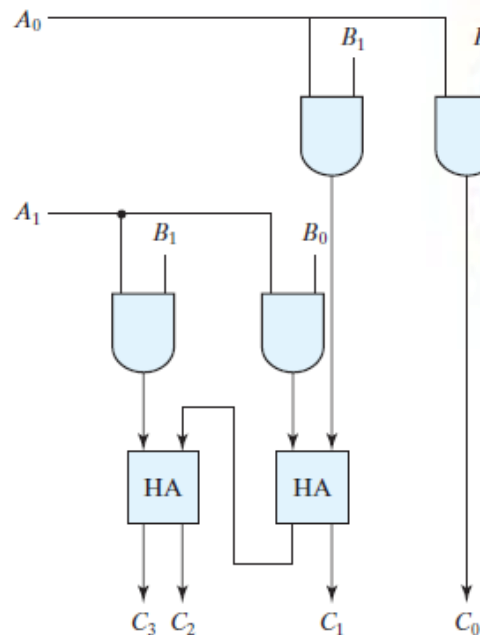
• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• الضارب الثنائي BINARY MULTIPLIER:

- يتم تنفيذ عملية ضرب الأعداد الثنائية بنفس طريقة ضرب الأعداد العشرية.
- يتم ضرب كل بت من العدد الأول مع جميع البتات من العدد الثاني، بدءًا من البت الأقل أهمية.
- كل عملية ضرب تشكل حاصل ضرب جزئي.
- يتم إزاحة المخارج الجزئية المتتالية موضع واحد إلى اليسار.
- يتم الحصول على الناتج النهائي من مجموع المخارج الجزئية.
- وعليه تصبح الدارة النهائية على الشكل التالي:
- وظيفة: صمم دائرة ضارب ثنائي للأعداد بحجم 4X3 بت

	B_1	B_0		
	A_1	A_0		
	A_0B_1	A_0B_0		
A_1B_1	A_1B_0			
C_3	C_2	C_1	C_0	



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

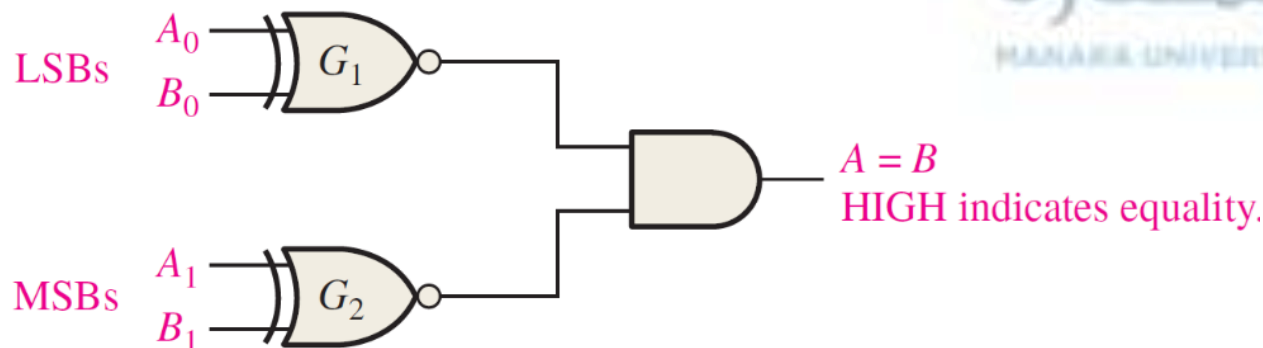
• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• المقارنات COMPARATOR

- الوظيفة الرئيسية لدوائر المقارنات Comparators هو مقارنة مقدار كميتين ثنائيتين لتحديد العلاقة بين هاتين الكميتين،
- تحدد دائرة المقارن إذا كان العددان متساويان أم لا، ويمكن تحديد هذا التساوي باستخدام البوابة XNOR،
- حيث يعطي خرجها واحد 1 إذا كان الدخيلين لها متساويين، وصفر 0 في حال كان الدخيلين مختلفين،
- لمقارنة عددين ثنائيين A, B يحتوي كل منهما على خانتين

- نحتاج إلى ربط خرج بوابتي XNOR إلى مداخل بوابة AND التي تعطي واحد في حال كان العددين متساويين أي $A=B$ ،
- هنا الخانات الأقل أهمية LSB من العددين تقارن على البوابة الأولى، والخانات الأكثر أهمية تقارن على البوابة الثانية،



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• المقارنات COMPARATOR

• يمكن استخدام المفهوم السابق في تصميم دائرة مقارن، دخلها عبارة عن خانتين ثنائيتين نرمز لهما بالرمز A,B ولها ثلاثة مخارج

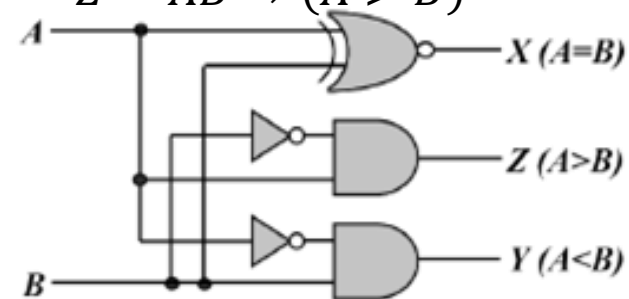
- كل خرج يعطي حالة الدخل فيما إذا كانا متساويان، أو أكبر من B، أو أصغر من A
- وعليه يكون جدول الحقيقة والدارة على الشكل التالي:
- من جدول الحقيقة نستطيع الحصول على معادلة كل خرج كما يلي:

$$X = \bar{A}\bar{B} + AB = \overline{A \oplus B} \Rightarrow (A = B)$$

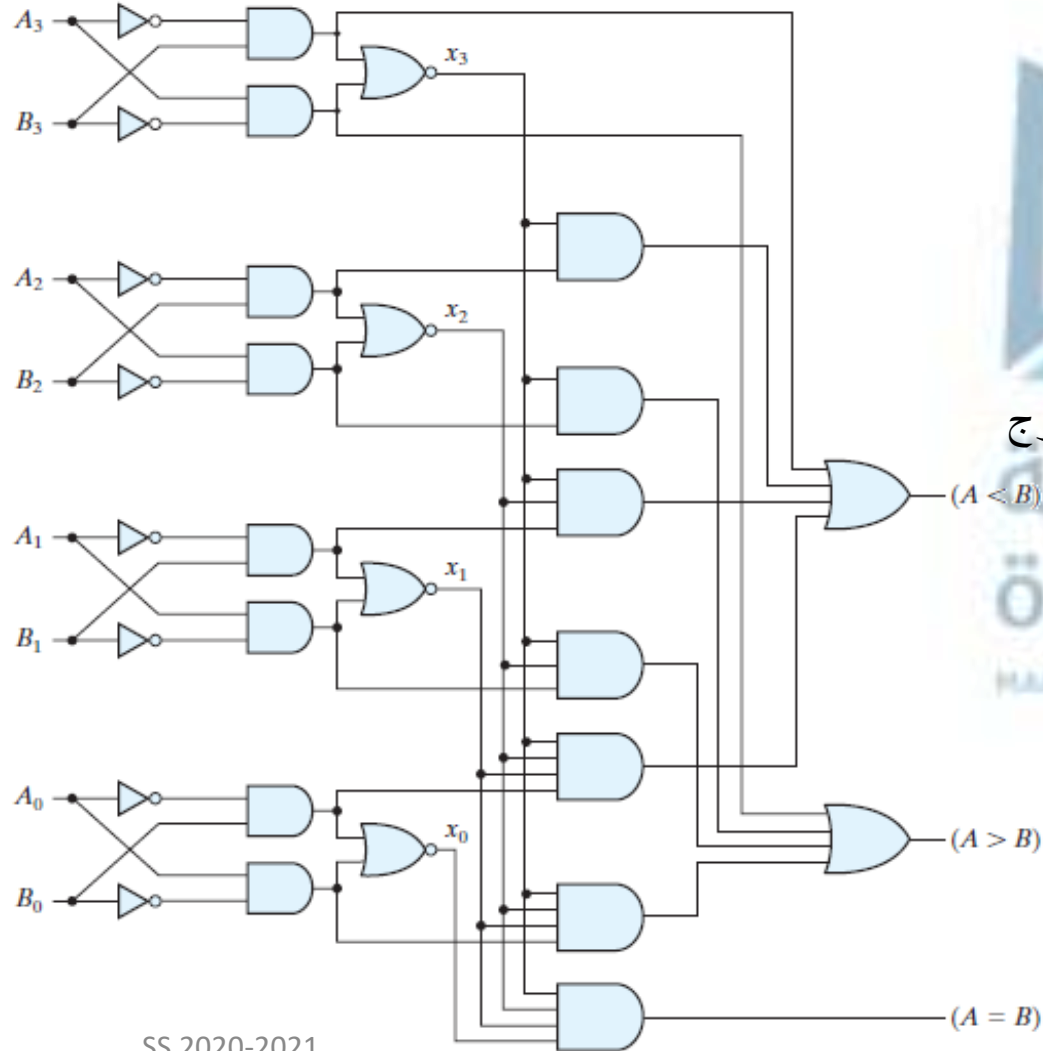
$$Y = \bar{A}B \Rightarrow (A < B)$$

$$Z = A\bar{B} \Rightarrow (A > B)$$

الدخل Input		الخرج Output		
A	B	X A=B	Y B>A	Z B<A
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
1	1	1	0	0



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)



• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• المقارنات COMPARATOR

• وظيفة: المطلوب تصميم جارة مقارن ثنائي لعددتين طولهما 4 بت

• $A = A_3 A_2 A_1 A_0$ و $B = B_3 B_2 B_1 B_0$

• حلل الدارة عن طريق جدول الحقيقة واستنتاج معادلات الخرج

• الدارة النهائية

• ارسم الدارة السابقة باستخدام بوابات بمدخلين فقط

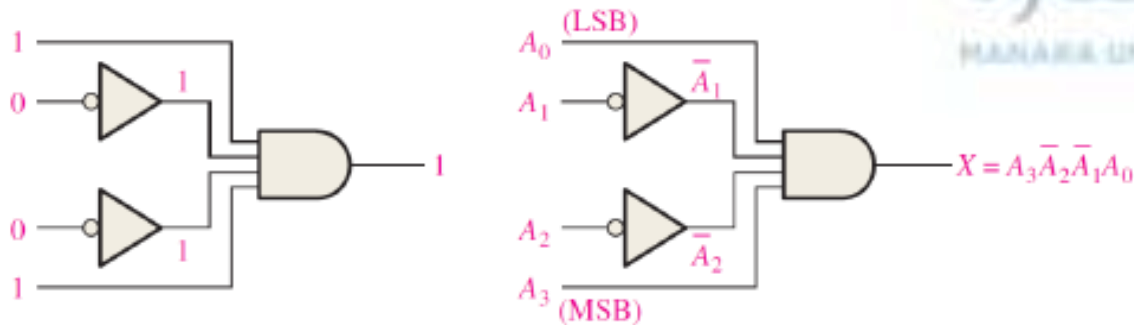
عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• محلات الشفرة Decoders

- عبارة عن دائرة منطقية لها عدد من المداخل Inputs Lines، يساوي n ولها عدة المخارج Output Lines يساوي 2^n ، واحد فقط من هذه المخارج يكون فعالاً Active، أما البقية فنكون غير فعالة،
- يتم اختيار طرف الخرج الفعال اعتماداً على المداخل والتي تسمى خطوط العنوان Address Lines
- لكل خرج عنوان Address فريد يميزه، وهذا العنوان عبارة عن شفرة ثنائية Binary Code
- محلل الشفرة البسيط The Basic Binary Decoder
- يمكن أن تستخدم بوابة AND كمحلل شفرة مبسط،



- فمثلاً افترض أننا نريد تحديد متى تظهر الحالة الثنائية 1001 على مداخل دائرة رقمية
- تكون الدارة المكافئة على الشكل التالي:

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• محلات الشفرة Decoders

• مثال: ليكن المطلوب تصميم دارة محلل الشفرة طرفين إلى أربعة أطراف
2-line-to-4-line decoder،

• أي له مدخلين وبالتالي عدد مخرجه هو أربعة $2^2=4$ ،

• جدول الحقيقة يعطى بالشكل التالي:

• نحتاج أربعة بوابة AND،

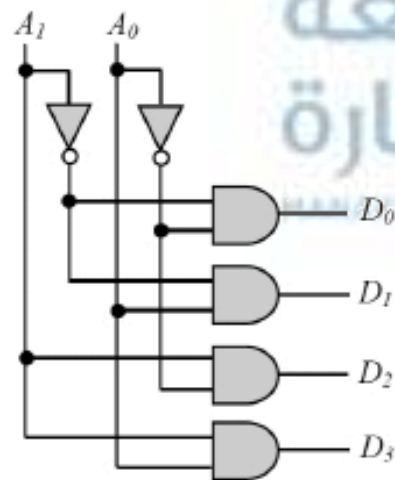
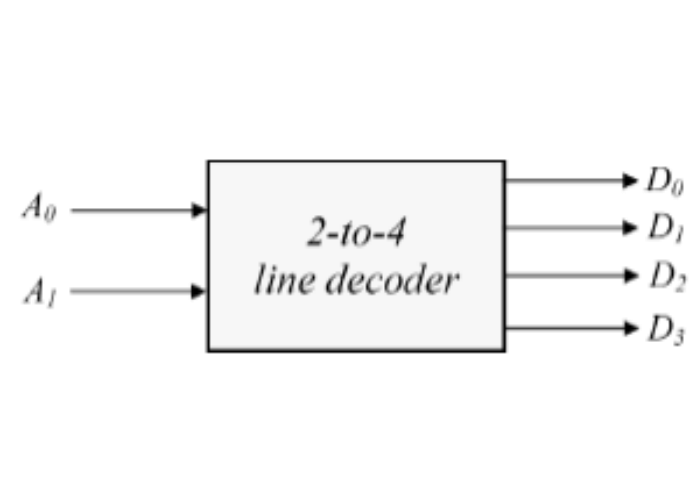
• من جدول الحقيقة يمكننا كتابة التعبيرات المنطقية
لخرج كل بوابة AND كما يلي:

$$D_0 = \overline{A_0}A_1, D_1 = \overline{A_0}A_1,$$

$$D_2 = A_0\overline{A_1}, D_3 = A_0A_1$$

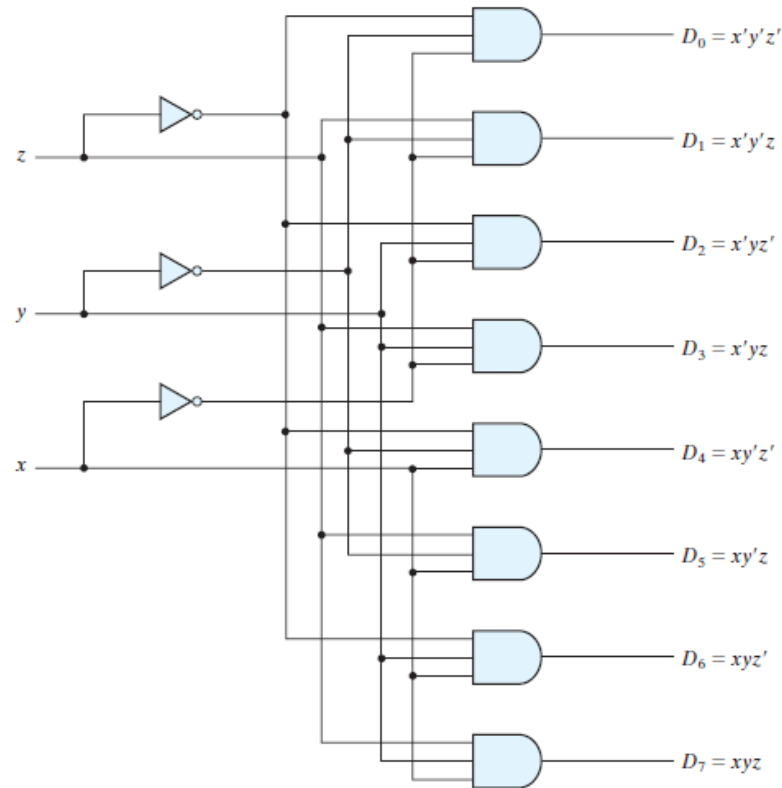
• وعليه تصبح الدارة النهائية على الشكل التالي:

الدخل Input		الخرج Output			
A ₀	A ₁	D ₀	D ₁	D ₂	D ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

Inputs			Outputs							
x	y	z	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1



• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• محلات الشفرة Decoders

• مثال: ليكن المطلوب تصميم دارة محلل الشفرة ثلاثة إلى ثمانية أطراف 3-line-to-8-line decoder،

• أي له ثلاثة مداخل وبالتالي عدد مخرجه هو ثمانية $2^3=8$ ،

• جدول الحقيقة يعطى بالشكل التالي:

• نحتاج ثمانية بوابة AND،

• من جدول الحقيقة يمكننا كتابة التعبيرات المنطقية لخرج كل بوابة AND

• وعليه تصبح الدارة النهائية على الشكل التالي:

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• محلات الشفرة Decoders

• مثال: ليكن المطلوب تصميم دارة محلل الشفرة والذي يملك جدول الحقيقة التالي:
والمطلوب:

• حلل الدارة السابقة مبيناً وظيفة هذه الدارة اعتماداً على علاقة المداخل بالمخارج

• كتابة التعابير المنطقية للمخارج

• رسم الدارة النهائية

E	A	B	D_0	D_1	D_2	D_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

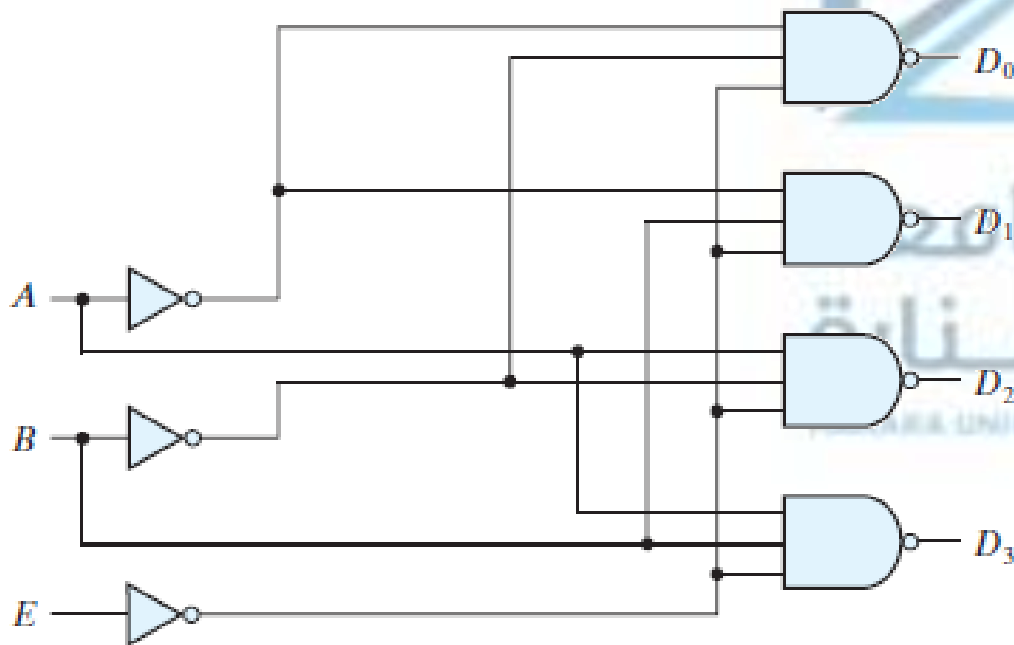
• محلات الشفرة Decoders

• مثال: ليكن المطلوب تحليل الدارة الرقمية التالية:

• كتابة جدول الحقيقة لها

• حل الدارة السابقة مبيناً وظيفة هذه الدارة

• كتابة التعابير المنطقية للمخارج



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

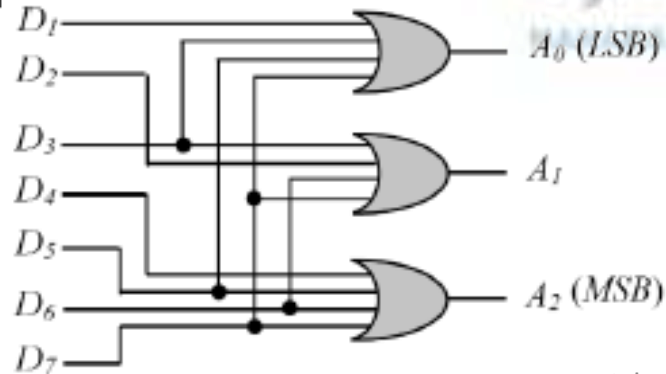
الدخل Input	الخرج Output		
الأرقام الثمانية	A ₂	A ₁	A ₀
D ₀	0	0	0
D ₁	0	0	1
D ₂	0	1	0
D ₃	0	1	1
D ₄	1	0	0
D ₅	1	0	1
D ₆	1	1	0
D ₇	1	1	1

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• المشفرات Encoders

- عبارة عن دائرة منطقية توافقية بالأساس تقوم بعمل معاكس لعمل دائرة محلل الشفرة، تقوم بتوليد شفرة ثنائية معينة على الخرج، وذلك عند تفعيل دخل واحد فقط Active
- لذلك إذا كان عدد المخارج Output Lines يساوي n، فإن عدد المداخل Inputs Lines يساوي 2ⁿ
- يمكن استخدام المشفرات في تشفير الرموز المختلفة وحروف الهجاء، عملية التحويل من الرموز والأعداد المعتادة إلى الشكل المشفر
- مثال: ليكن المطلوب تصميم مشفر له ثمانية مداخل وثلاثة مخارج 8-of-3 line encoder، يقوم بتحويل الأرقام الثمانية إلى مكافئها الثنائي
- هنا لدينا 8 مداخل وبالتالي $\log_2(8)=3$ مخارج



- يمكن كتابة جدول الحقيقة كالتالي:
- يمكن كتابة التعبير المنطقي للمخارج على الشكل التالي:

$$A_0 = D_1 + D_3 + D_5 + D_7$$

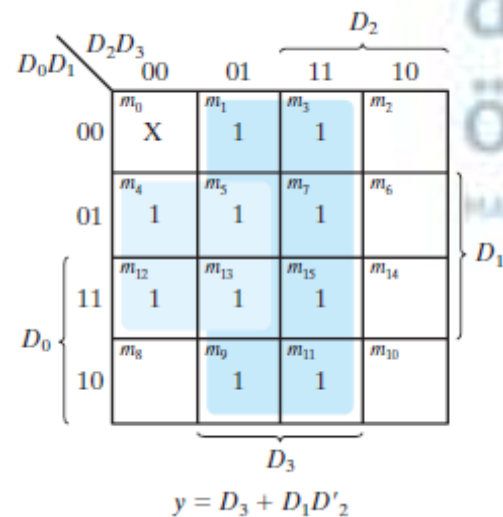
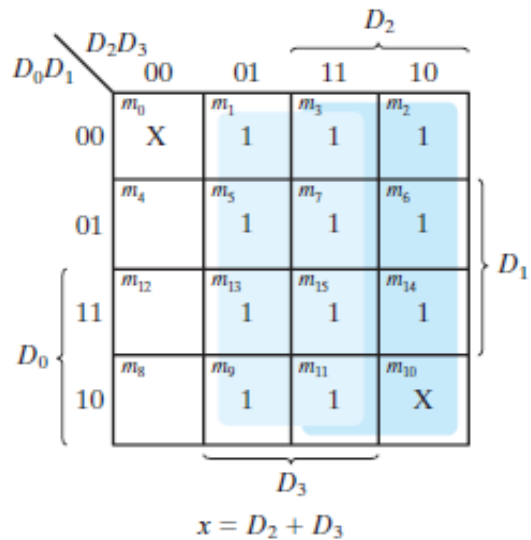
$$A_1 = D_2 + D_3 + D_6 + D_7$$

$$A_2 = D_4 + D_5 + D_6 + D_7$$

- وعليه تصبح الدارة النهائية على الشكل التالي:

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

Inputs				Outputs		
D_0	D_1	D_2	D_3	x	y	V
0	0	0	0	X	X	0
1	0	0	0	0	0	1
X	1	0	0	0	1	1
X	X	1	0	1	0	1
X	X	X	1	1	1	1



• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• المشفرات Encoders

• مثال: ليكن المطلوب تصميم مشفر ال Priority Encoder المؤلف من أربعة مداخل وثلاثة مخارج ويمتلك جدول الحقيقة التالي:

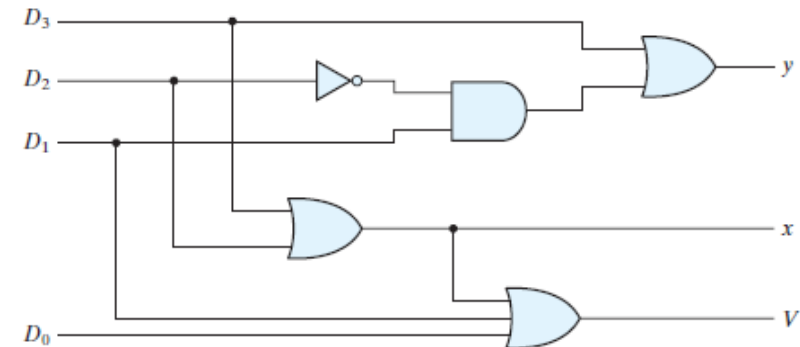
• يمكننا كتابة التعابير المنطقية لكل خرج

$$x = D_2 + D_3$$

$$y = D_3 + D_1 D'_2$$

$$V = D_0 + D_1 + D_2 + D_3$$

• وعليه تصبح الدارة النهائية على الشكل التالي:



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• الناخب (منتقي البيانات) Multiplexers (Data Selectors)

• عبارة عن دائرة منطقية توافقية تنتقي واحدة من المعلومات أو البيانات المنطقية المأخوذة من مصادر متعددة للمرور خلال خط واحد إلى الخرج.

• يتكون الناخب من عدة مداخل للبيانات وخرج واحد، بالإضافة إلى مجموعة منافذ اختيار select lines والتي عن طريقها يمكننا اختيار البيانات المراد ارسالها إلى الخرج

• إذا كان عدد منافذ الاختيار هو n فإن عدد المدخل يكون 2^n

• مثال: ناخب مؤلف من أربعة مداخل 1-of-4 data selector/multiplexer

• يمتلك منفذي اختيار بيانات وهي كافية لاختيار واحد من الأربعة منافذ الموجودة على الدخل،

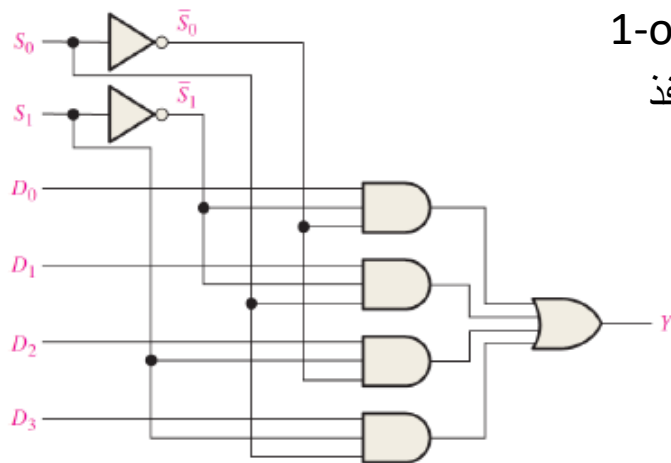
• جدول الحقيقة لهذه الدارة يعطى كما يلي:

• وعليه يمكننا كتابة التعبير المنطقي للخرج y على الشكل التالي:

$$y = \bar{S}_1\bar{S}_0D_0 + \bar{S}_1S_0D_1 + S_1\bar{S}_0D_2 + S_1S_0D_3$$

• وعليه تصبح الدارة النهائية على الشكل التالي:

مداخل الاختيار		المدخل المختار
Data-Select Inputs		Input Selected
S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• الناخب (منتقي البيانات) Multiplexers (Data Selectors)

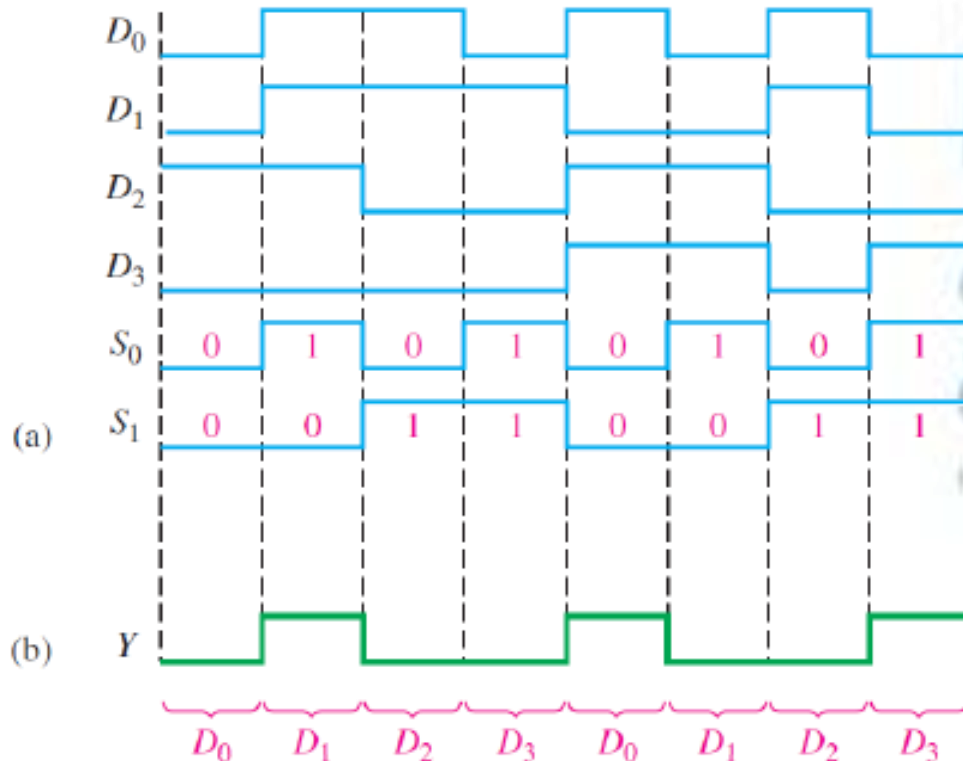
• مثال: ناخب مؤلف من أربعة مداخل

1-of-4 data selector/multiplexer

• وبالتالي يمكن رسم إشارة الخرج اعتماداً على إشارة منافذ الاختيار والمداخل كما يلي:

• يمكن استخدام أكثر من ناخب بإمكانيات أقل للحصول على ناخب بإمكانيات أعلى،

• فمثلاً يمكن الحصول على ناخب واحد من ثمانية باستخدام ناخبين كل منهما واحد من أربعة، على أن يكون لكل منهما طرف تمكين Enable, En، وخرجي الناخب تدخل على بوابة OR



عناصر وتقنيات التصميم الرقمي والتوافقي والتعاقبي (المتسلسل)

• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• موزع البيانات (DMUX) Demultiplexes

- عبارة عن دائرة منطقية توافقية تؤدي عكس عمل دائرة الناخب أو منتهي البيانات
- يأخذ البيانات من دخل واحد ثم يقوم بتوزيعها على عدد من المخارج.
- يتكون من دخل وحيد وعدة مخارج، بالإضافة إلى منافذ اختيار select lines والتي عن طريقها يمكننا ارسال البيانات الموجودة على الدخل إلى أحد المخارج.
- إذا كان عدد منافذ الاختيار هو n فإن عدد المخارج يكون 2^n
- مثال: موزع مؤلف من أربعة مخارج ودخل وحيد

1-line-to-4-line demultiplexer (DEMUX)

- تتألف من منفذين لاختيار البيانات وهي كافية لاختيار واحد من الأربعة مخارج

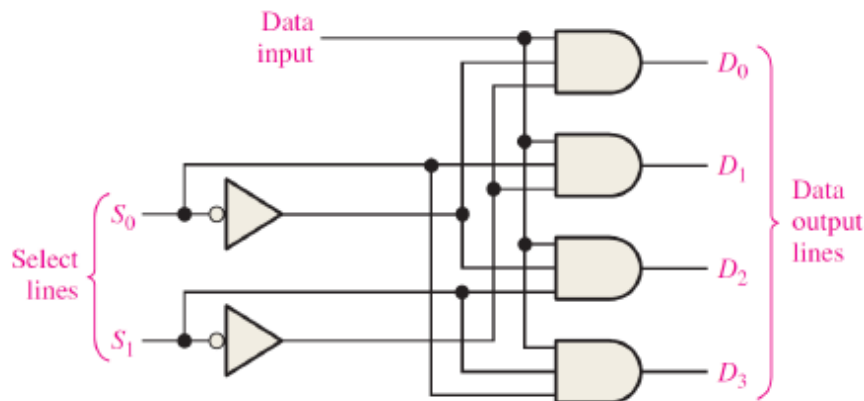
- جدول الحقيقة لهذه الدارة يعطى كما يلي:

- وعليه يمكننا كتابة التعابير المنطقية لكل خرج على الشكل التالي:

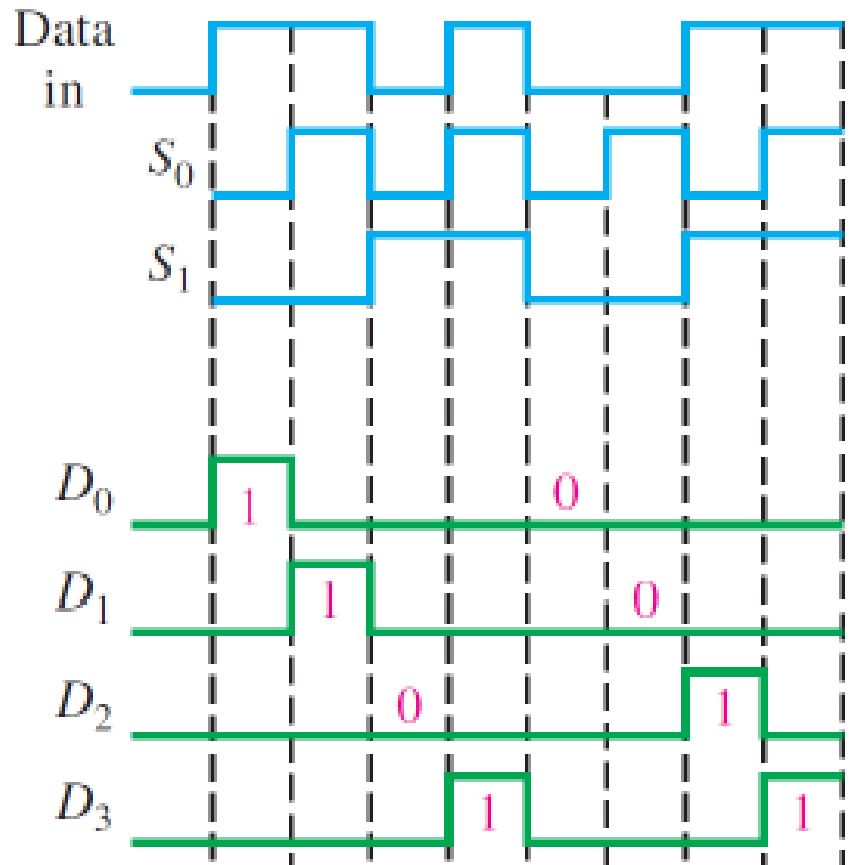
$$D_0 = I\bar{S}_1\bar{S}_0, D_1 = I\bar{S}_1S_0, D_2 = IS_1\bar{S}_0, D_3 = IS_1S_0$$

- وعليه تصبح الدارة النهائية على الشكل التالي:

مداخل الاختيار Data-Select Inputs		الخرج Output			
S_1	S_0	D_0	D_1	D_2	D_3
0	0	I	0	0	0
0	1	0	I	0	0
1	0	0	0	I	0
1	1	0	0	0	I



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)



• الدارات المنطقية التوافقية:

• تحليل وتصميم الدوائر المنطقية Logic Circuit Design

• موزع البيانات (DMUX) Demultiplexes

• مثال: موزع مؤلف من أربعة مخارج ودخل وحيد
1-line-to-4-line demultiplexer (DEMUX)

• وبالتالي يمكن رسم إشارة المخارج اعتماداً على إشارة منافذ الاختيار والدخل كما يلي:

جامعة
المنارة
MANARA UNIVERSITY