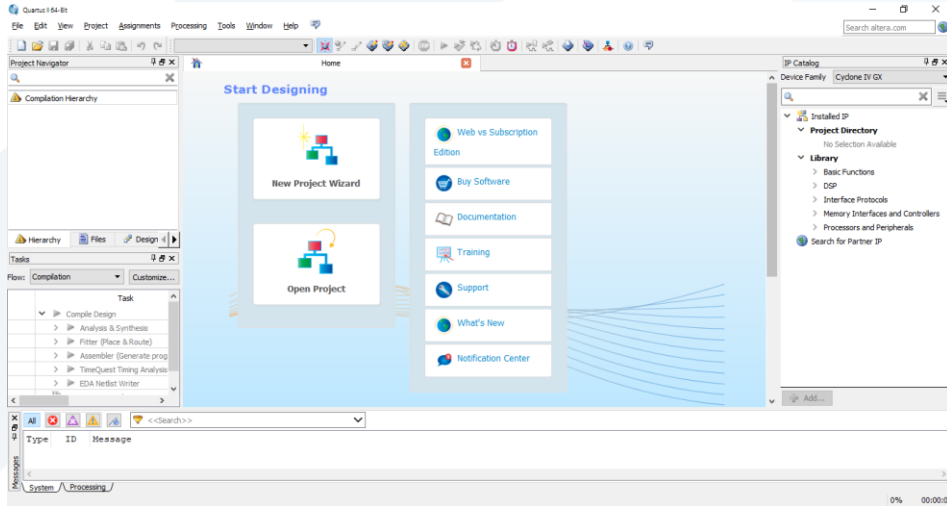


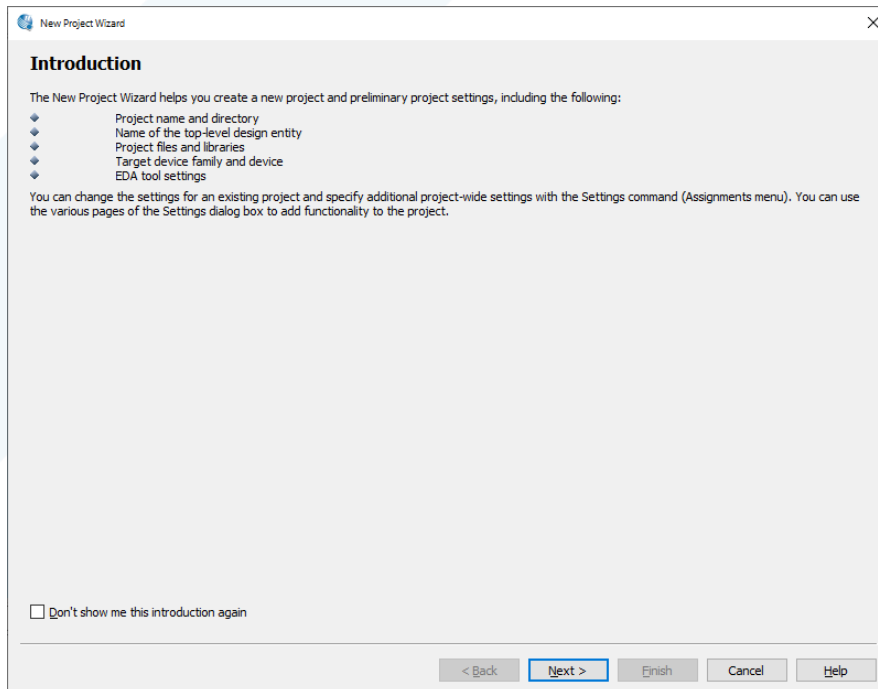
جلسة العملي الثانية (المخبر B7) تصميم الدارات الرقمية باستخدام الـ FPGA (البلوكات)

1 تهيئة بيئة العمل:

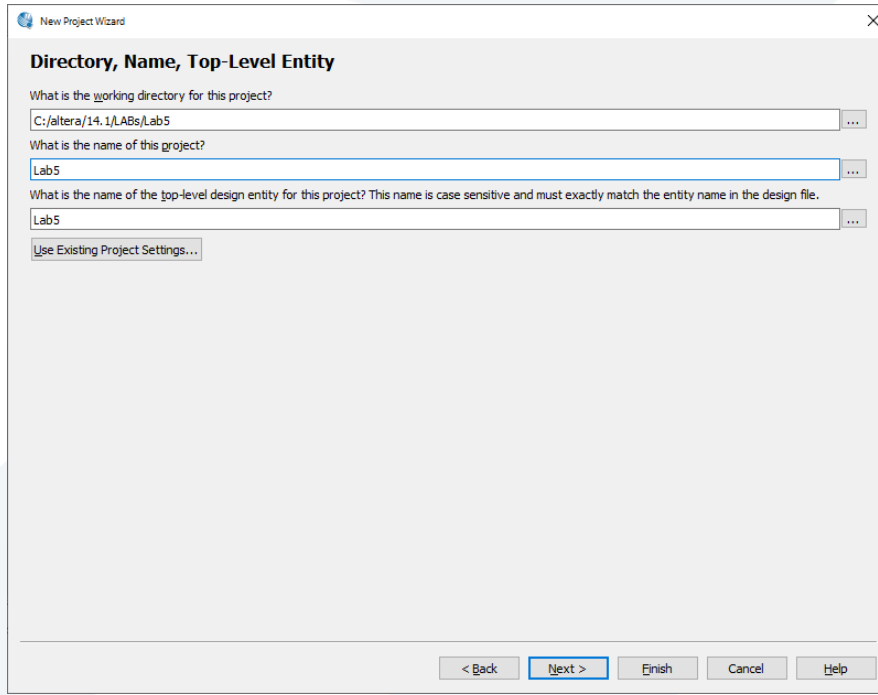
بعد توصيل لوحة الـ FPGA مع الكمبيوتر عن طريق منفذ الـ USB نقوم بتشغيل برنامج الـ Quartus II Web Edition فنحصل على النافذة التالية:



في البداية سنقوم بإنشاء مشروع جديد عن طريق قائمة **File** → **New Project Wizard** حيث تظهر لنا النافذة التالية:



بالضغط على Next نحصل على النافذة التالية والتي من خلالها نقوم بإدخال موقع تخزين المشروع الجديد واسمه ليتم بعدها الضغط على الزر Next



Directory, Name, Top-Level Entity

What is the working directory for this project?
C:/altera/14.1/LABs/Lab5

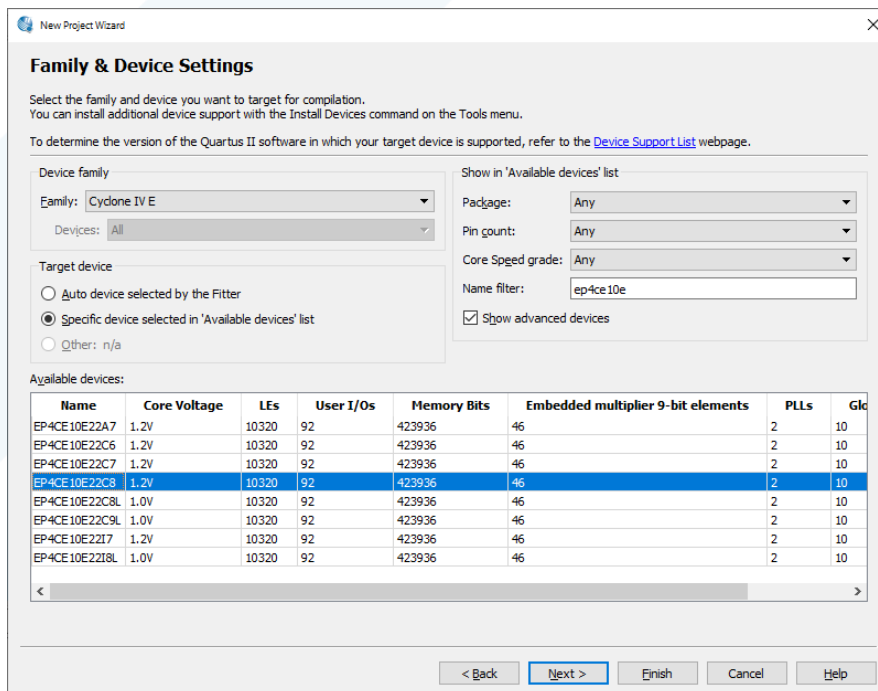
What is the name of this project?
Lab5

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.
Lab5

Use Existing Project Settings...

< Back Next > Finish Cancel Help

بعد ذلك ستظهر لدينا نافذة جديدة لتحديد نوع المشروع هل هو فارغ أم نسخة مخزنة مسبقاً Template سنختار هنا انشاء مشروع فارغ ومن ثم نضغط على زر Next لتظهر لدينا نافذة جديدة مهمتها إضافة ملفات جاهزة إلى هذا المشروع. هنا سنتابع دون إضافة أي ملف عن طريق الضغط على الزر Next لنحصل على نافذة جديدة كما هو موضح بالشكل والتي من خلالها نقوم بتحديد نوع الـ FPGA الخاص بالتجربة وهو هنا EP4CE10E22C8



Family & Device Settings

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.
To determine the version of the Quartus II software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family
Family: Cyclone IV E
Devices: All

Target device
 Auto device selected by the Fitter
 Specific device selected in 'Available devices' list
 Other: n/a

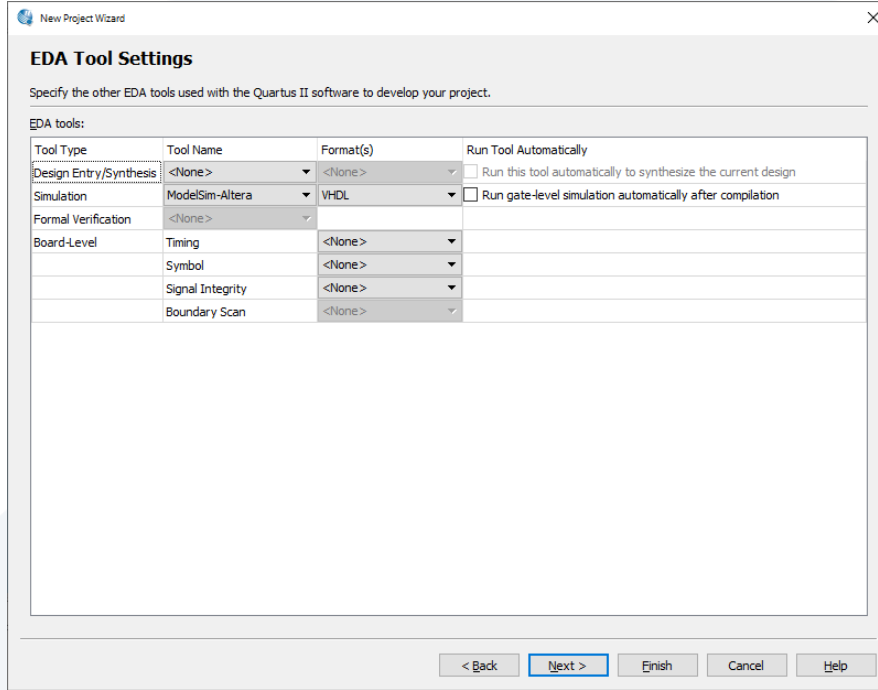
Show in 'Available devices' list
Package: Any
Pin count: Any
Core Speed grade: Any
Name filter: ep4ce10e
 Show advanced devices

Available devices:

Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multiplier 9-bit elements	PLLs	Gl
EP4CE10E22A7	1.2V	10320	92	423936	46	2	10
EP4CE10E22C6	1.2V	10320	92	423936	46	2	10
EP4CE10E22C7	1.2V	10320	92	423936	46	2	10
EP4CE10E22C8	1.2V	10320	92	423936	46	2	10
EP4CE10E22C8L	1.0V	10320	92	423936	46	2	10
EP4CE10E22C9L	1.0V	10320	92	423936	46	2	10
EP4CE10E22I7	1.2V	10320	92	423936	46	2	10
EP4CE10E22I8L	1.0V	10320	92	423936	46	2	10

< Next > Finish Cancel Help

بعد ذلك تظهر لدينا نافذة اعدادات EDA كما هو مبين بالشكل:



EDA Tool Settings

Specify the other EDA tools used with the Quartus II software to develop your project.

EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	ModelSim-Altera	VHDL	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Formal Verification	<None>	<None>	
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

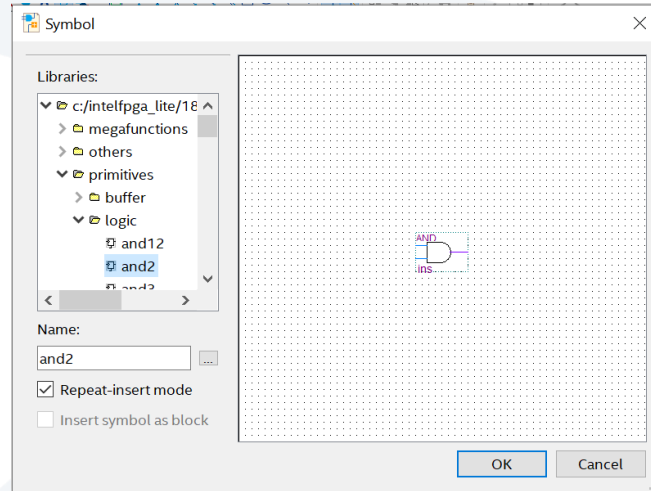
< Back Next > Finish Cancel Help

عند الضغط على الزر Next سنحصل على نافذة جديدة تظهر ملخص اعدادات المشروع الجديد ليتم بعدها الضغط على زر Finish

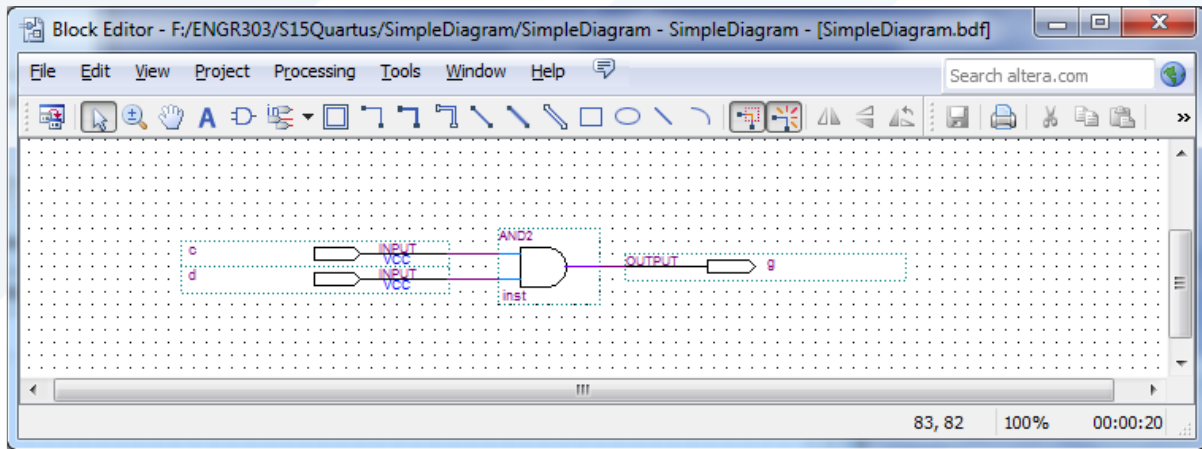
2 تصميم الدارات باستخدام البلوكات (Block Diagram Design)

1.2 انشاء ملف التصميم

- في البداية نقوم باختيار الأمر File → New ومن ثم اختيار الأمر Block Diagram/Schematic File من النافذة التي ستظهر
- يمكن حفظ ملف التصميم عن طريق اختيار الأمر File → Save As وهنا يجب الانتباه إلى أن اسم الملف يجب أن يكون مشابهاً لاسم المشروع الذي تم إنشاؤه في الفقرة السابقة
- نضغط على الأيقونة Symbol Tool ضمن شريط القوائم ونقوم باختيار العناصر من النافذة التي ستظهر



- بعدها نقوم بالضغط على الزر OK
- عندها يمكننا ادراج العنصر الذي تم اختياره في أي مكان من لوحة التصميم
- يتم التوصيل بين العناصر عن طريق Orthogonal Node Tool ؛النقر على طرفي العنصرين المراد توصيلهما
- من أجل المداخل والمخارج للدارة يتم اضافتها عن طريق شريط القوائم وبعد اضافتها يتوجب إعطاء تسمية للمداخل والمخارج ويتم ذلك عن طريق الضغط مرتين على المدخل أو المخرج



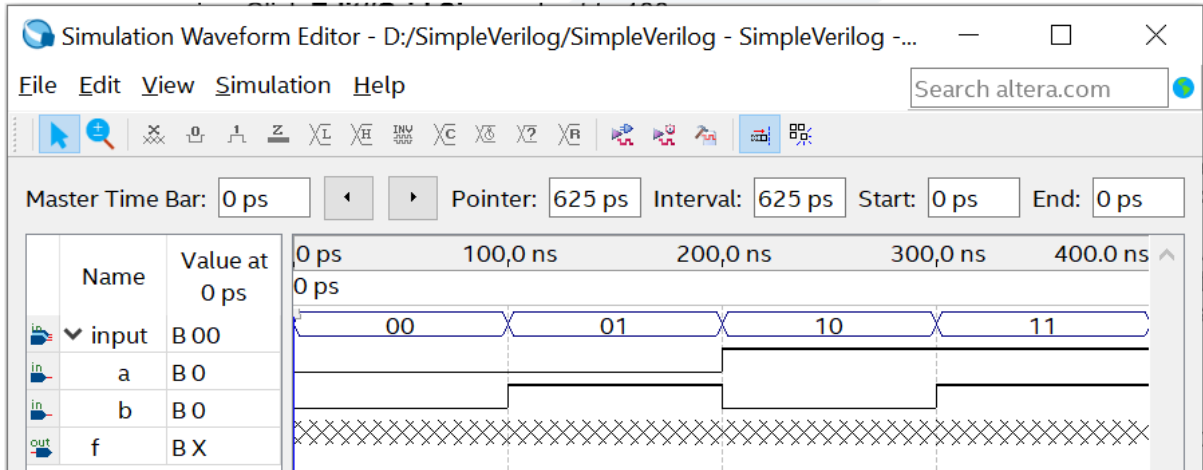
2.2 ترجمة الدارة (Compile):


يتم ذلك عن طريق Start Compilation → Processing أو عن طريق الضغط على الزر  من قائمة الأدوات

3.2 محاكاة واختبار الدارة:

- نقوم أولاً بنشاء ملف من نوع VWF عن طريق File → New ومن ثم اختيار الأمر University Program VWF من النافذة التي ستظهر
- في البداية يتم إضافة المداخل والمخارج عن طريق Insert Node → Edit → Insert أو بالضغط مرتين بزر الفأرة على النافذة اليسارية

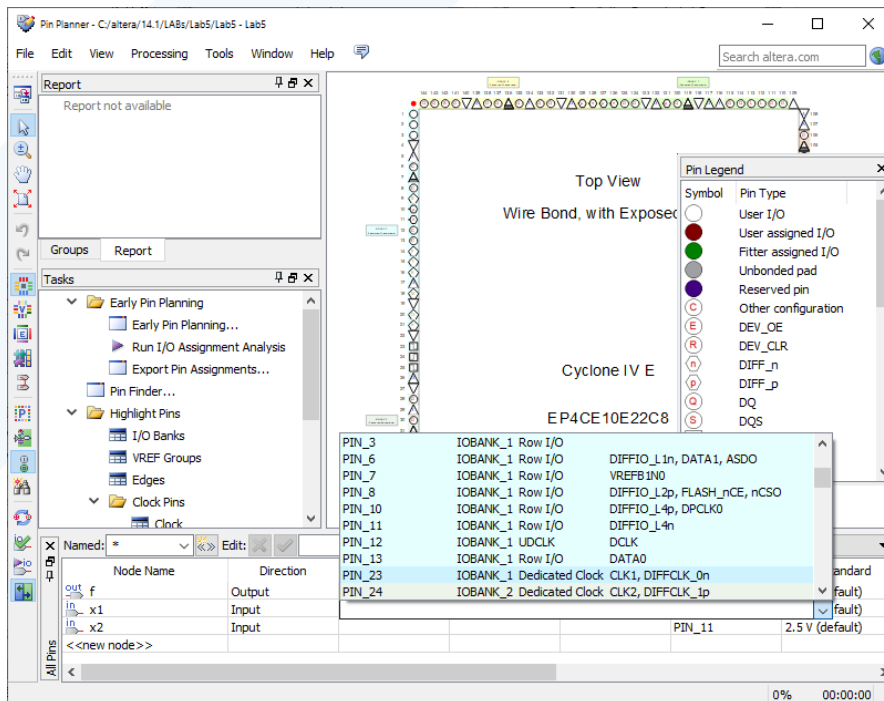
- بعد إضافة المداخل والمخارج نقوم بتحديد إشارة المداخل عن طريق تحديد الفترة الزمنية وتغيير قيمتها باختيار إحدى الحالات الموجودة ضمن شريط القوائم
- يمكن جمع أكثر من عنصر ضمن مجموعة واحدة وذلك عن طريق اختيار العنصر الأول ومن ثم الضغط على زر الـ SHIFT واختيار العنصر الثاني ومن ثم عن طريق زر الفأرة الأيمن → grouping → right click → group



- يمكن تحديد زمن النبضة ومدة المحاكاة عن طريق Edit → Grid Size و Edit → Set End Time على التوالي
- من أجل تشغيل المحاكاة يتم الضغط على الزر 

4.2 اسناد المنافذ Pin Assignment:

يتم ذلك عم طريق Pins Planer → Assignments وربط كل منفذ سواء المداخل أو المخارج إلى المنفذ المناسب ضمن لوحة الـ FPGA كما هو موضح بالشكل



تمتلك لوحة الـ FPGA مجموعة من الوحدات المحيطية مثل المفاتيح (Switches) والليدات (LEDs) و 7-Segments بالإضافة إلى LCD والتي ترتبط مع منافذ PIN كما هو موضح:

Switch	FPGA pin	FPGA pin	LED
SW7	120	84	D7
SW6	119	83	D6
SW5	115	80	D5
SW4	114	77	D4
SW3	113	76	D3
SW2	112	75	D2
SW1	111	74	D1
SW0	110	73	D0

Anode for char.	J6 pin	FPGA pin	segment	J7 pin	FPGA pin
0	1	25	a	1	15
1	2	27	b	2	16
2	3	28	c	3	17
3	4	29	d	4	18
			e	5	20
			f	6	21
			g	7	22
			dp	8	24

5.2 اعداد وبرمجة لوحة الـ FPGA:

في البداية يجب وضع مفتاح الـ RUN/PROG ضمن لوحة الـ FPGA على وضع الـ RUN ومن ثم فتح نافذة الـ Tools Programmer لتظهر لدينا النافذة الموضحة بالشكل والتي تستخدم لإعداد وتحميل البرنامج على لوحة الـ FPGA. هنا يتم اختيار الهاردوير كـ USB-Blaster عن طريق الضغط على الزر Hardware Setup. كما وسيتم إضافة الملف الذي تم ترجمته والموجود ضمن المجلد output. بعد ذلك يتم الضغط على الزر Start ليتم تحميل البرنامج على لوحة الـ FPGA

