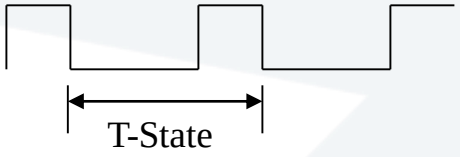
جَامعة
المَنارة
MANARA UNIVERSITY

جَامعة
المَنارة
MANARA UNIVERSITY

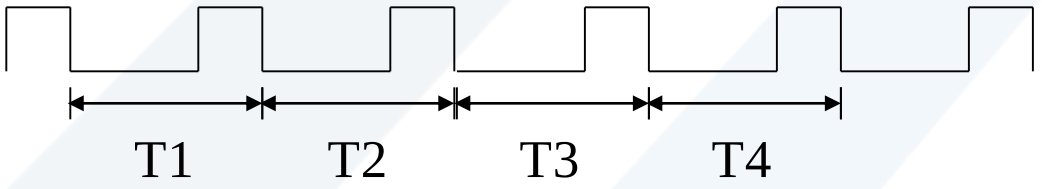
المخطط الزمني للنظام System Timing Diagrams

- T-State:
  - زمن نبضة ساعة واحدة هو T-State.



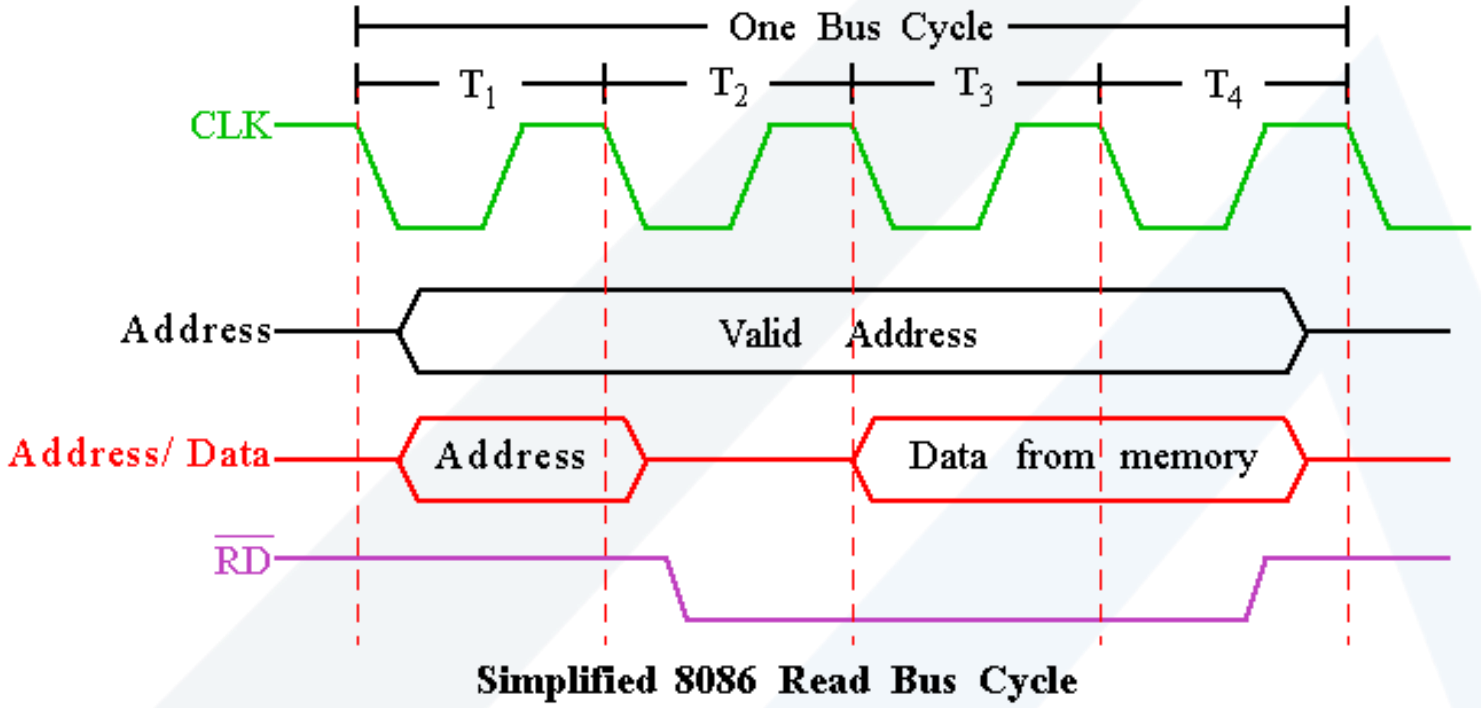
  - تأخذ العملية عدد صحيح من T-States.

- دورة باص الـCPU CPU Bus Cycle :
  - تتألف دورة الباص من 4 حالات T أو أكثر



المخطط الزمني للذاكرة

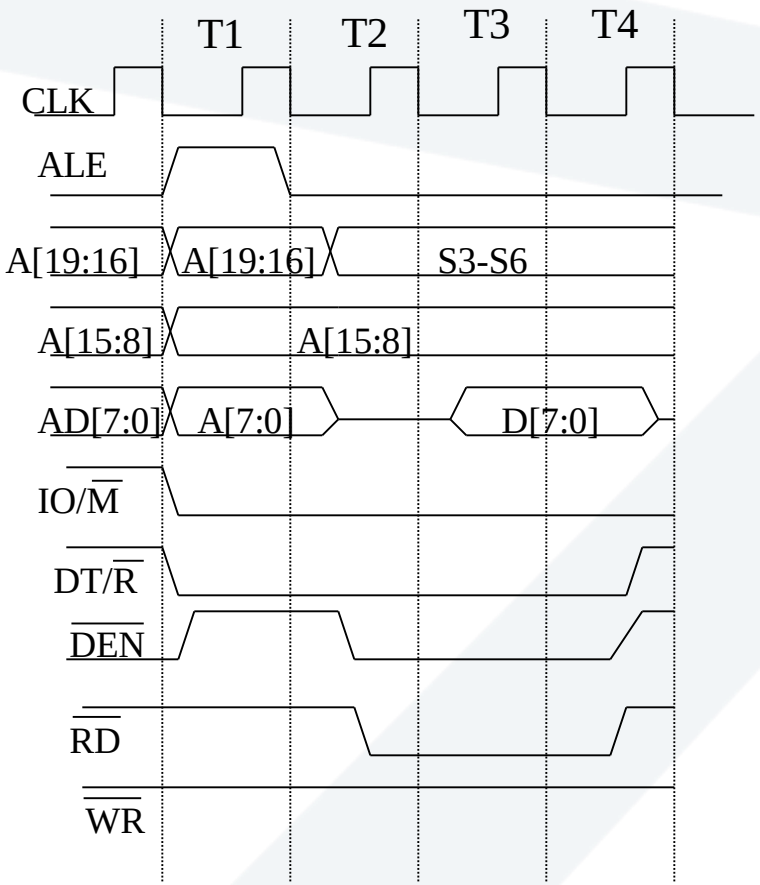
- تشكيل العناوين على باص العناوين address bus.
- إصدار إشارة قراءة RD وجعل M/ IO تأخذ قيمة 1.
- انتظار دورة نفاذ الذاكرة memory access cycle.

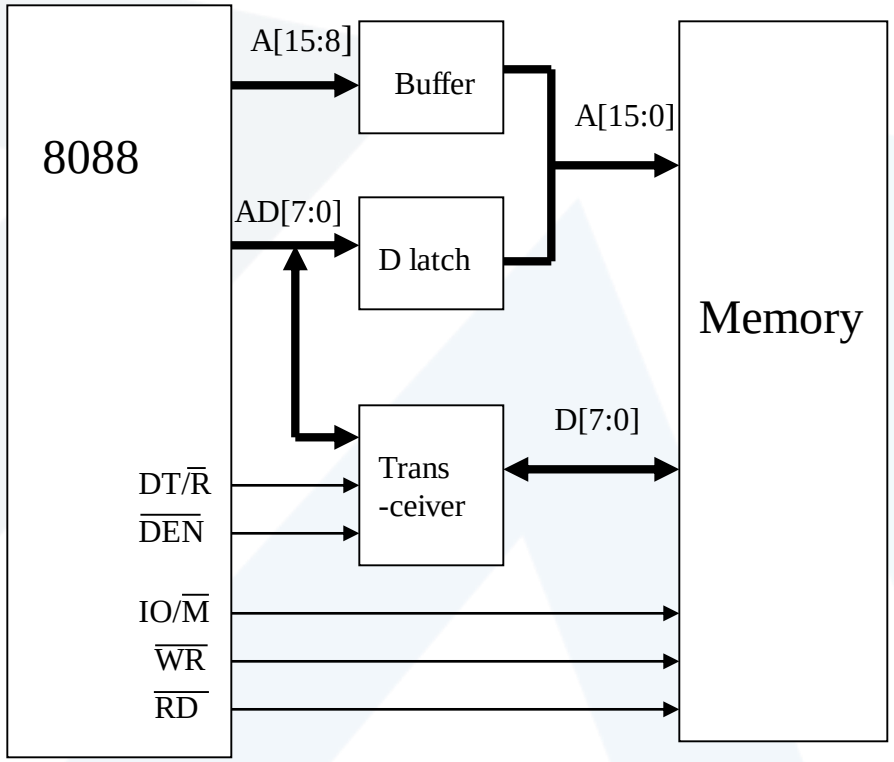


Simplified 8086 Read Bus Cycle

المخططات الزمنية لقراءة الذاكرة

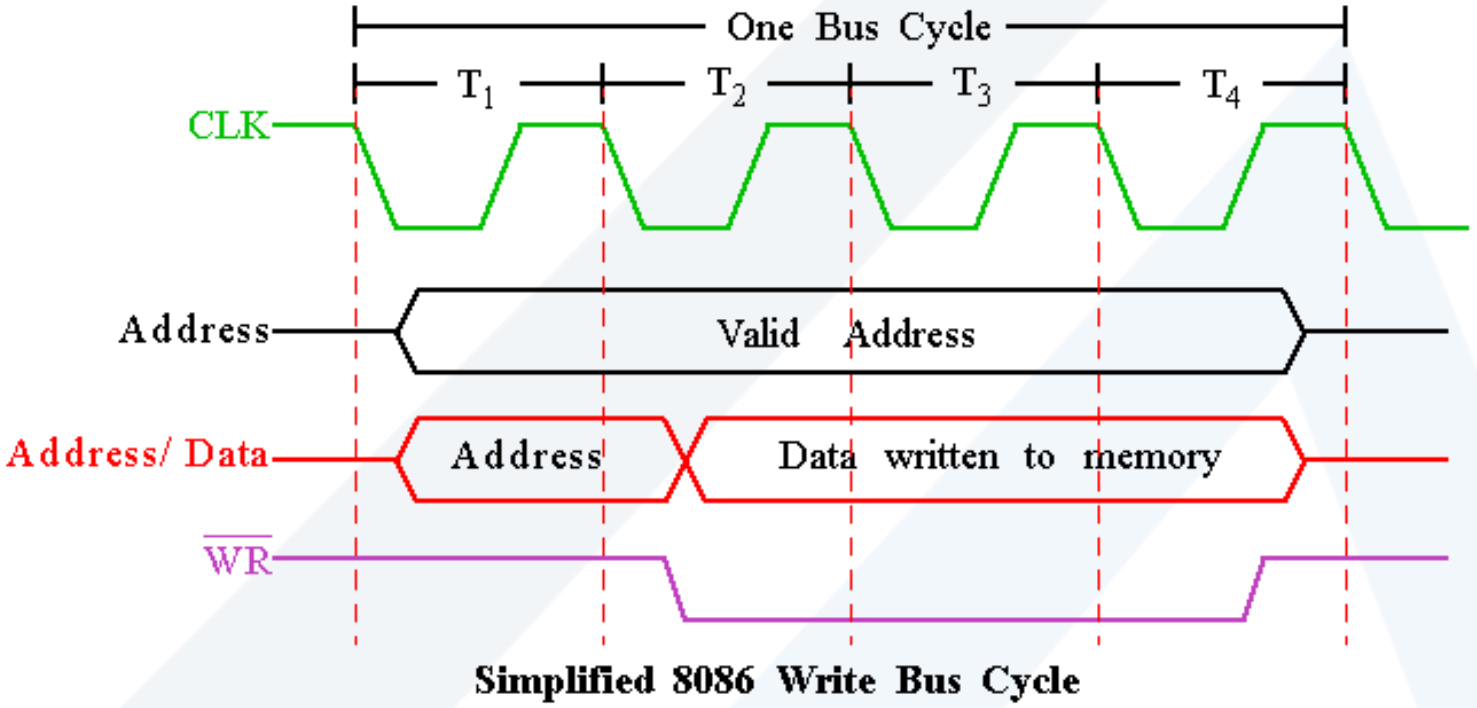
Memory Read Timing Diagrams





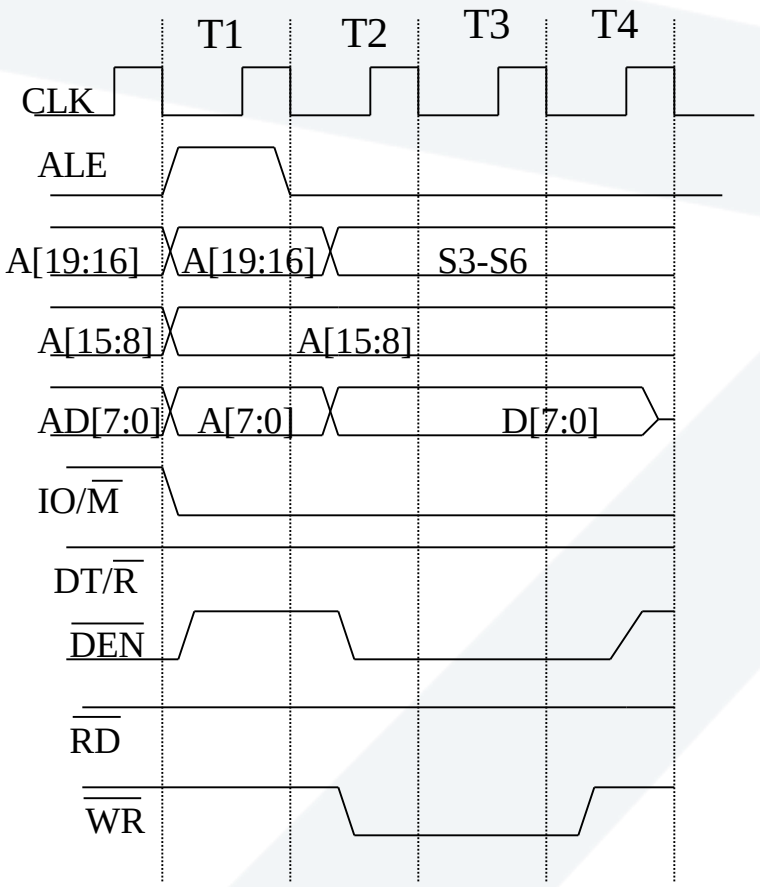
المخططات الزمنية للكتابة في الذاكرة
Memory Write Timing Diagrams

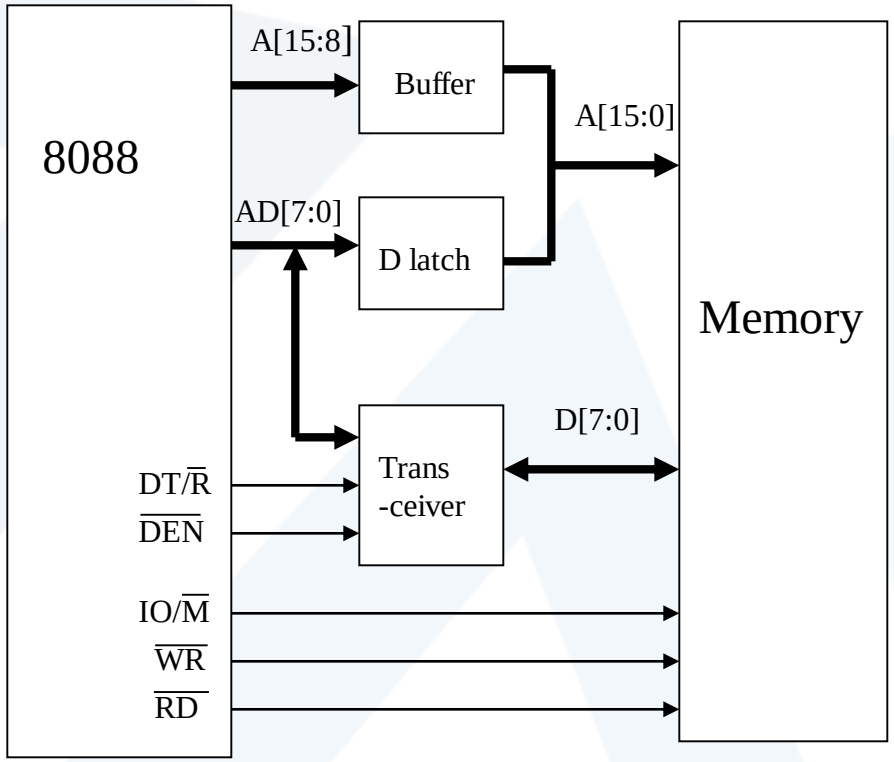
- تشكيل العناوين على باص العناوين address bus.
- تشكيل البيانات على باص البيانات data bus.
- إصدار إشارة كتابة WR وجعل IO/M تأخذ قيمة 1.



Simplified 8086 Write Bus Cycle

المخططات الزمنية للكتابة في الذاكرة
Memory Write Timing Diagrams





دورة الباص الزمنية Bus Timing

خلال T 1:

- توضع العناوين على باص العناوين /البيانات Address/Data bus.
- تحدد الإشارات التحكمية ALE , M/ IO و DT/ R فيما إذا كانت العملية تخص الذاكرة أو وحدات الإدخال /الإخراج، وتفعل تخزين العناوين في باص العناوين وتضبط اتجاه انتقال البيانات على باص البيانات data bus.

خلال T 2:

- يصدر المعالج 8086 إشارة RD أو WR، و DEN وعند الكتابة يرسل البيانات.
  - DEN تمكن الذلكرة أو أجهزة I/O من استلام البيانات في حالة الكتابة، كما تمكن المعالج من استلام البيانات في حالة القراءة.

خلال T 3:

- تخصص T 3 من أجل السماح للذاكرة بالوصول إلى البيانات.
- يمكن رصد إشارة READY عند نهاية T 2.
  - إذا كانت low، تصبح T 3 حالة انتظار.
  - خلاف ذلك تبدأ قراءة باص البيانات مع نهاية T 3.

خلال T 4:

- يلغى تفعيل جميع إ شارات الباص تحضيراً لدورة الباص التالية.
- تتم قراءة البيانات (قراءة) أو تحرر (كتابة).

دورة الباص الزمنية Bus Timing

التوقيت الزمني Timing:

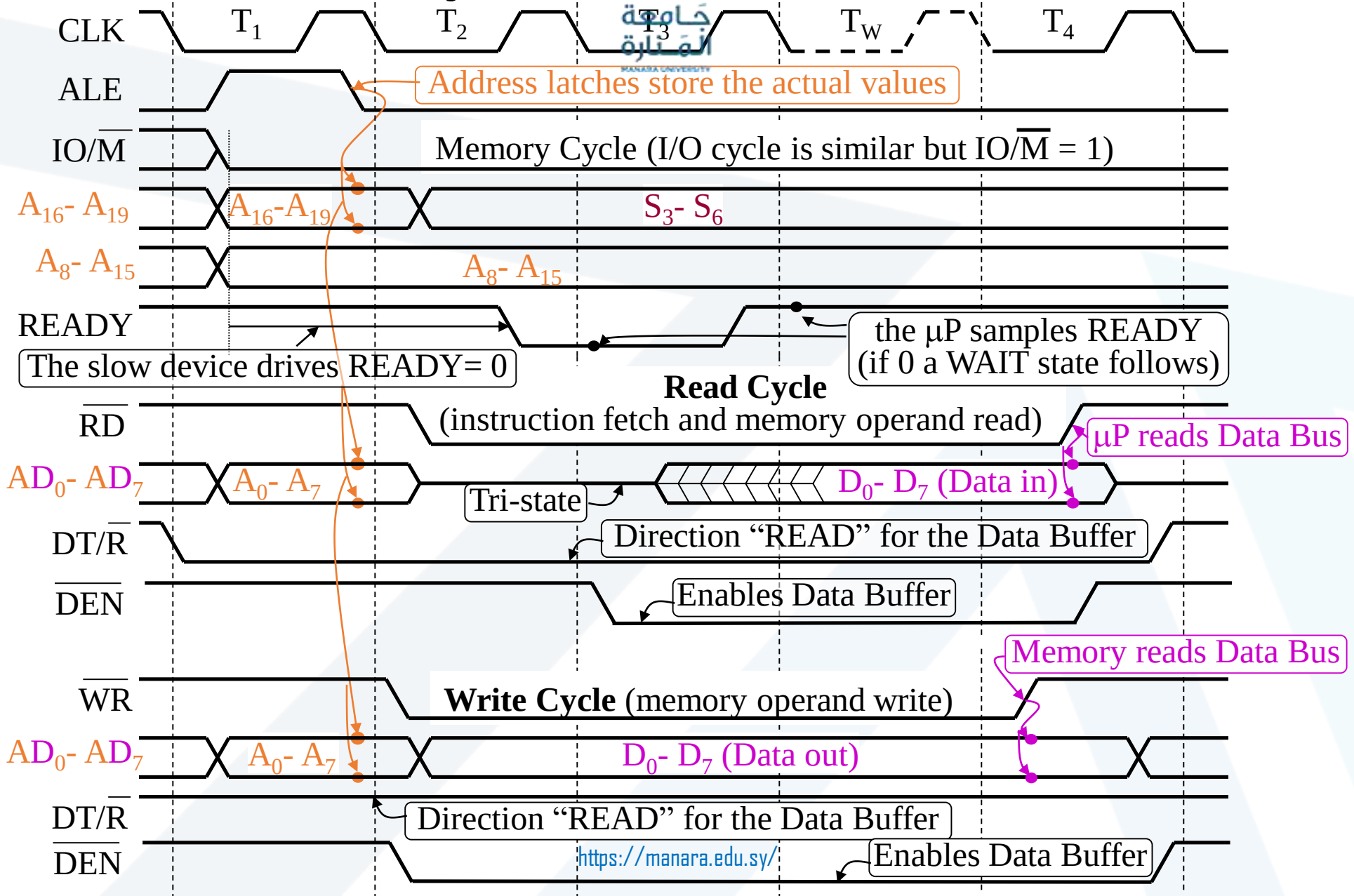
- *تأخذ كل دورة باص في المعالج 8086 أربع دورات ساعة (T states) .*
- *إذا كان تردد الساعة clock rate هو* **5MHz** عندها تستغرق دورة الباص *800ns.*
- *وتكون نسبة النقل transfer rate مساوية لـ* **1.25Mbit/sec.**

وبالتالي يتوجب أن تتوافق خواص الذاكرة (زمن النفاذ للذادرة memory access time) مع هذه القيود .

على سبيل المثال يحتاج الباص لإتمام دورة القراءة إلى600ns.

- *يجب أن يكون الوصول إلى الذاكرة أسرع بسبب أزمان التهيئة setup times (تهيئة العناوين وتهيئة البيانات)*
- *يطرح هذا حوالي 150ns.*
- *وبالتالي يتوجب على الذاكرة أن تتم عملية النفاذ بزمن أقل من 450ns* يطرح منه *30-40ns* كأمان لإتمام عمليات العوازل *buffers* ومفككات الترميز *decoders.*
- *أي أننا نحتاج إلى DRAM بسرعة وصول 420ns*للمعالج *8086.*

System Time Diagrams مخططات النظام الزمنية
- CPU Bus Cycle دورة باص وحدة المعالجة المركزية



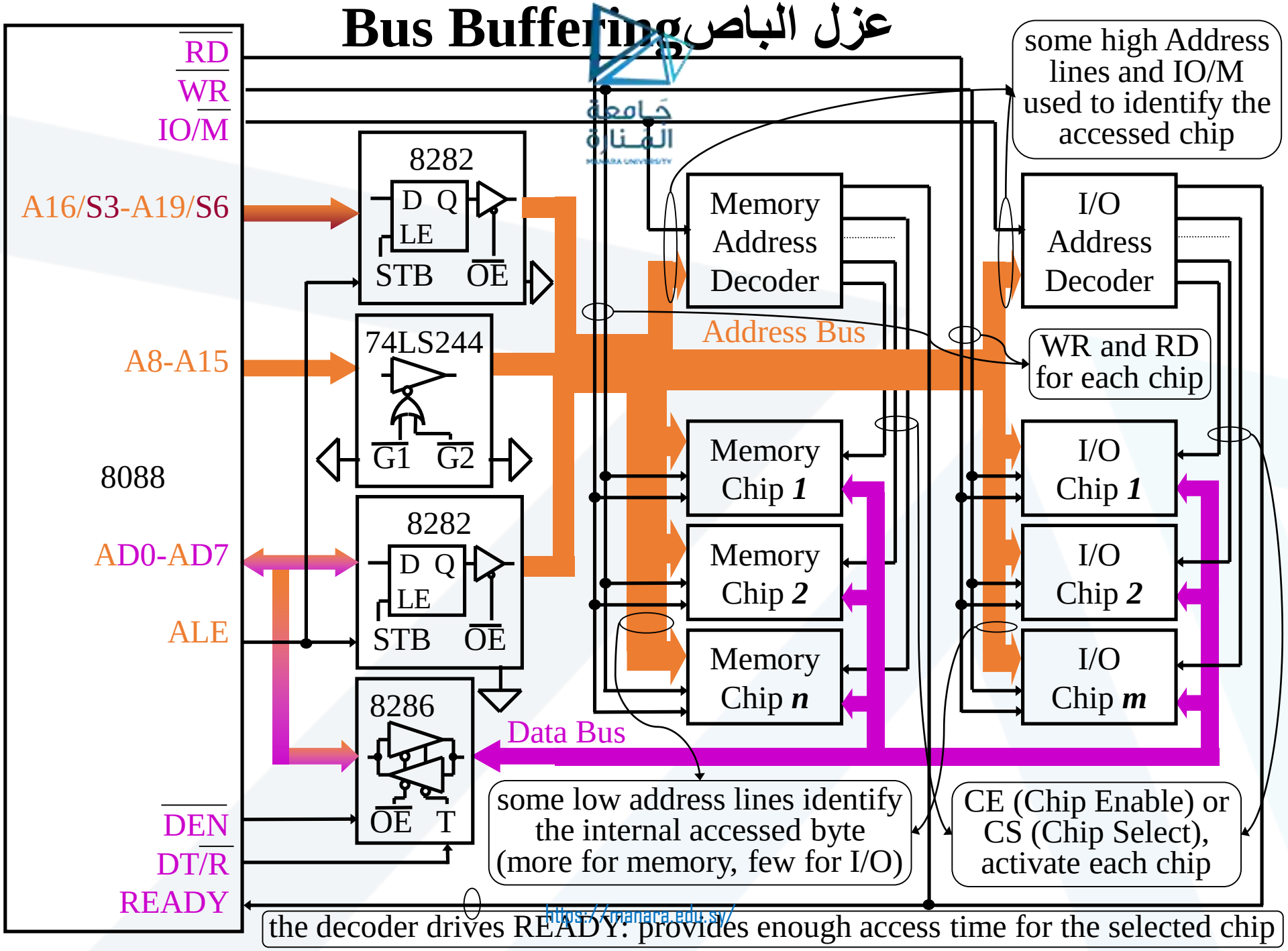
جَامعة
المَنارة
MANARA UNIVERSITY

وصل الذاكرة

Memory Interface

https://manara.edu.sy/

Bus Buffering عزل الباص



https://manara.edu.sy/

شرائح الذاكرة Memory Chips

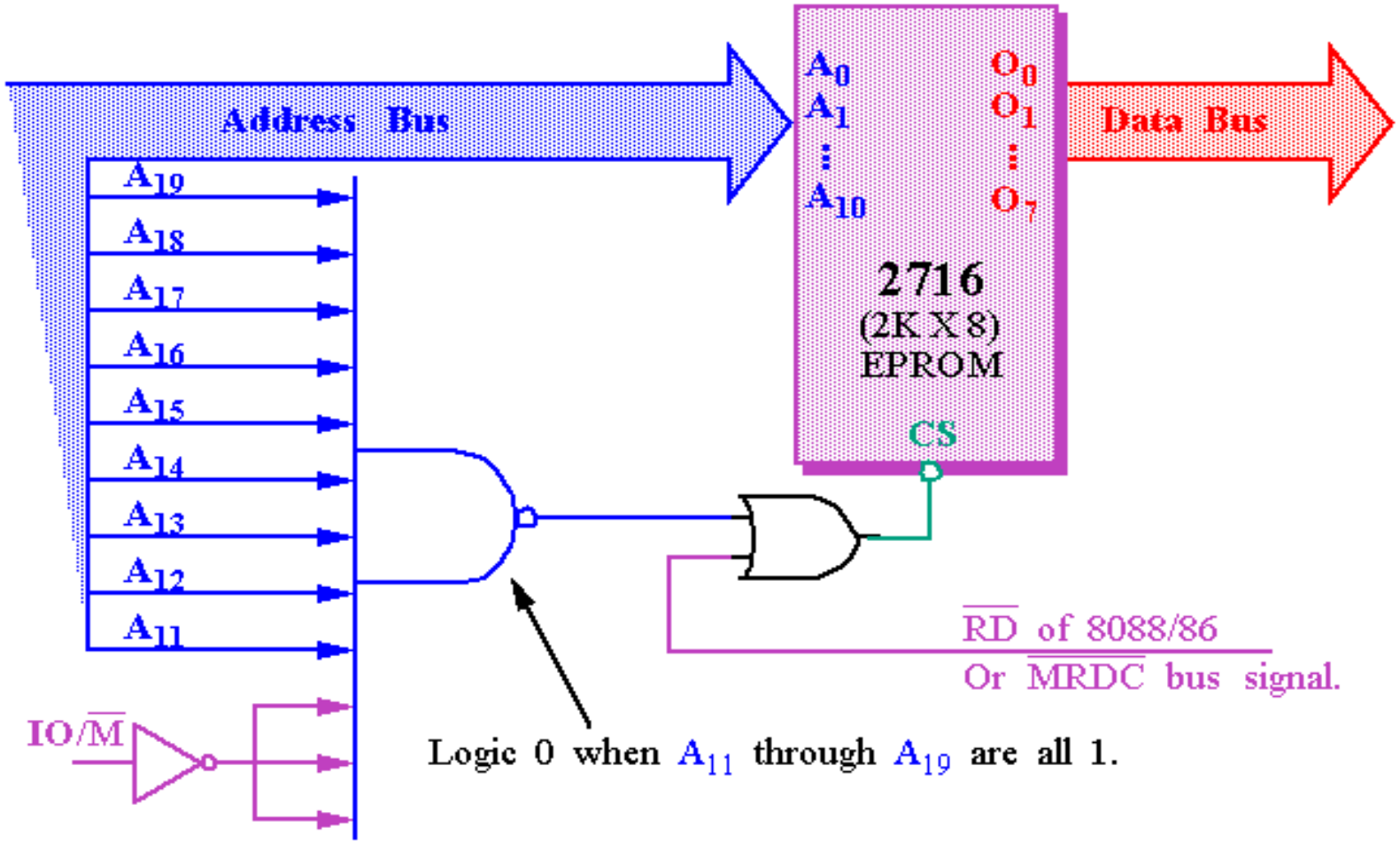
- يحدد عدد خطوط العناوين عدد مواقع الذاكرة القابلة للنفاذ.
  - تتراوح سعة الشريحة (بشكل عام) بين 1K و256موقع أي نحتاج 10 إلى 28خط عنوان.
- تتميز نهايات البيانات بأنها ثنائية الاتجاه في ذواكر القراءة الكتابة.
  - يرتبط عدد خطوط البيانات بعرض كلمة الموقع.
  - أي دارة ذاكرة بعرض 8-bit (byte) تحتاج إلى ثمانية خطوط بيانات.

- كل دارة ذاكرة تمتلك خط ناخب شريحة chip select (CS) أو خط تمكين chip enable (CE) أو خط انتخاب select (S) يسمح بتفعيل شريحة الذاكرة.
- وكل شريحة ذاكرة تحتاج لخط تحكم واحد على الأقل.
  - في ذواكر ROMs الخط هو خط تمكين الإخراج output enable (OE) أو خط التمرير gate (G).
    - يمنع خط OE أو يسمح بالتمرير عبر العازل ثلاثي الحالة tristate buffers .
  - في ذواكر الـRAMs الخط هو خط القراءة الكتابة read-write (R/W) أو خط تمكين الكتابة write enable (WE) إضافةً إلى خط تمكين الإخراج (OE).
    - عند وجود الخطين يجب أن تضمن منظومة التحكم عدم كون الخطين في حالة تفعيل معاً.

تفكيك ترميز الذاكرة
Memory Address Decoding

- حيز الذاكرة الذي يعنونه المعالج عادةً أكبر من سعة الشريحة الواحدة.
- نحتاج إلى تفكيك الترميز لكي نقرن عدة شرائح ذاكرة لتشكيل حيز ذاكرة المعالج.
- للمعالج 8088 20 خط عنونة تعنون **1MB.**
- الـ BIOS المبنية على ذواكر 2716 EPROM سعة الشريحة 2KB وتحتاج إلى 11 خط عنونة.
- يمكننا استخدام مفكك ترميز decoder يسمح بأخذ الخطوط التسعة الإضافية (لتشكيل حيز 1MB) بحيث يوضع الـ2KB الخاصة بالـ EPROM في أي مقطع من مقاطع فضاء العنوان.

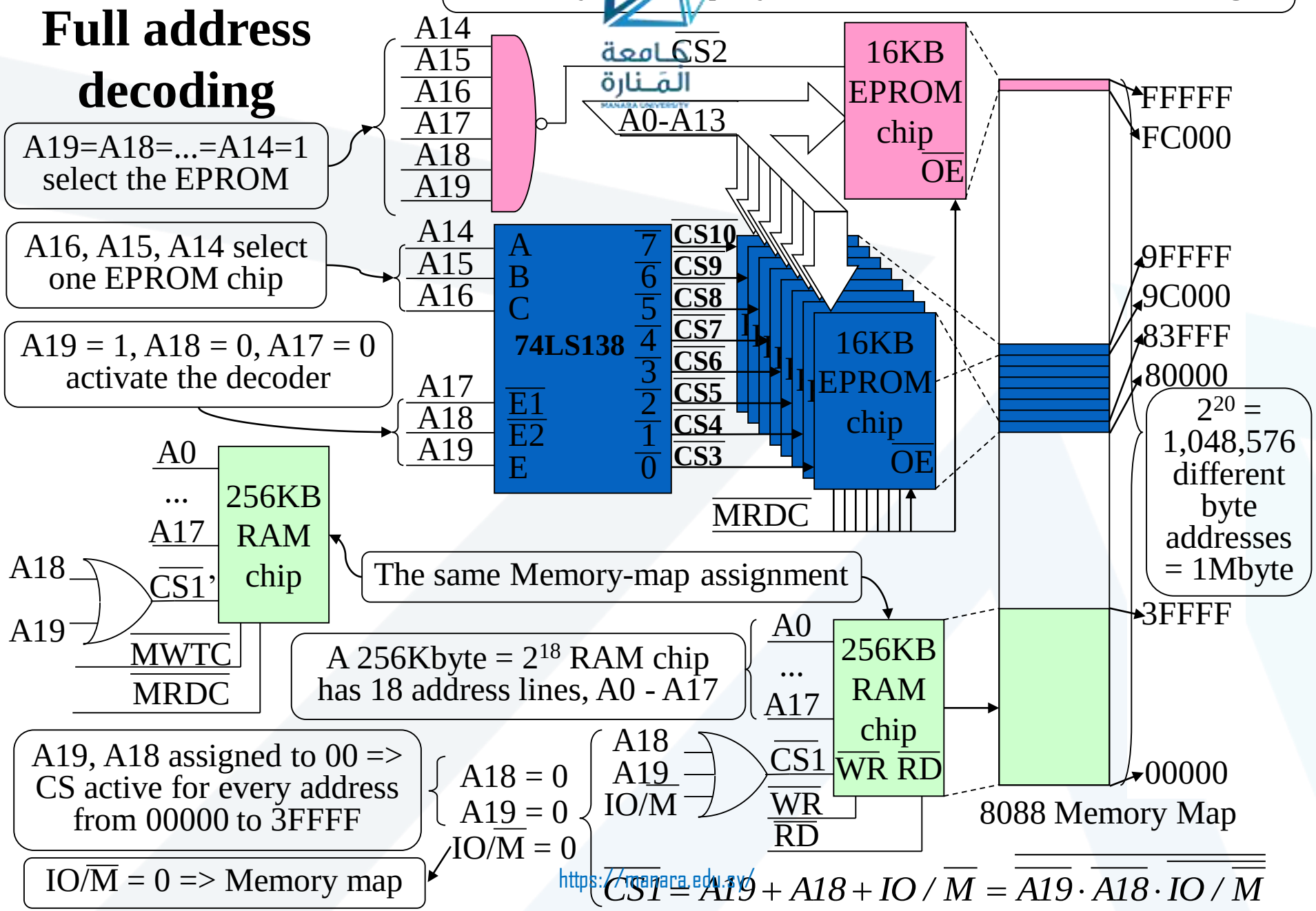
تفكيك ترميز عناوين الذاكرة
Memory Address Decoding



تخطيط الذاكرة

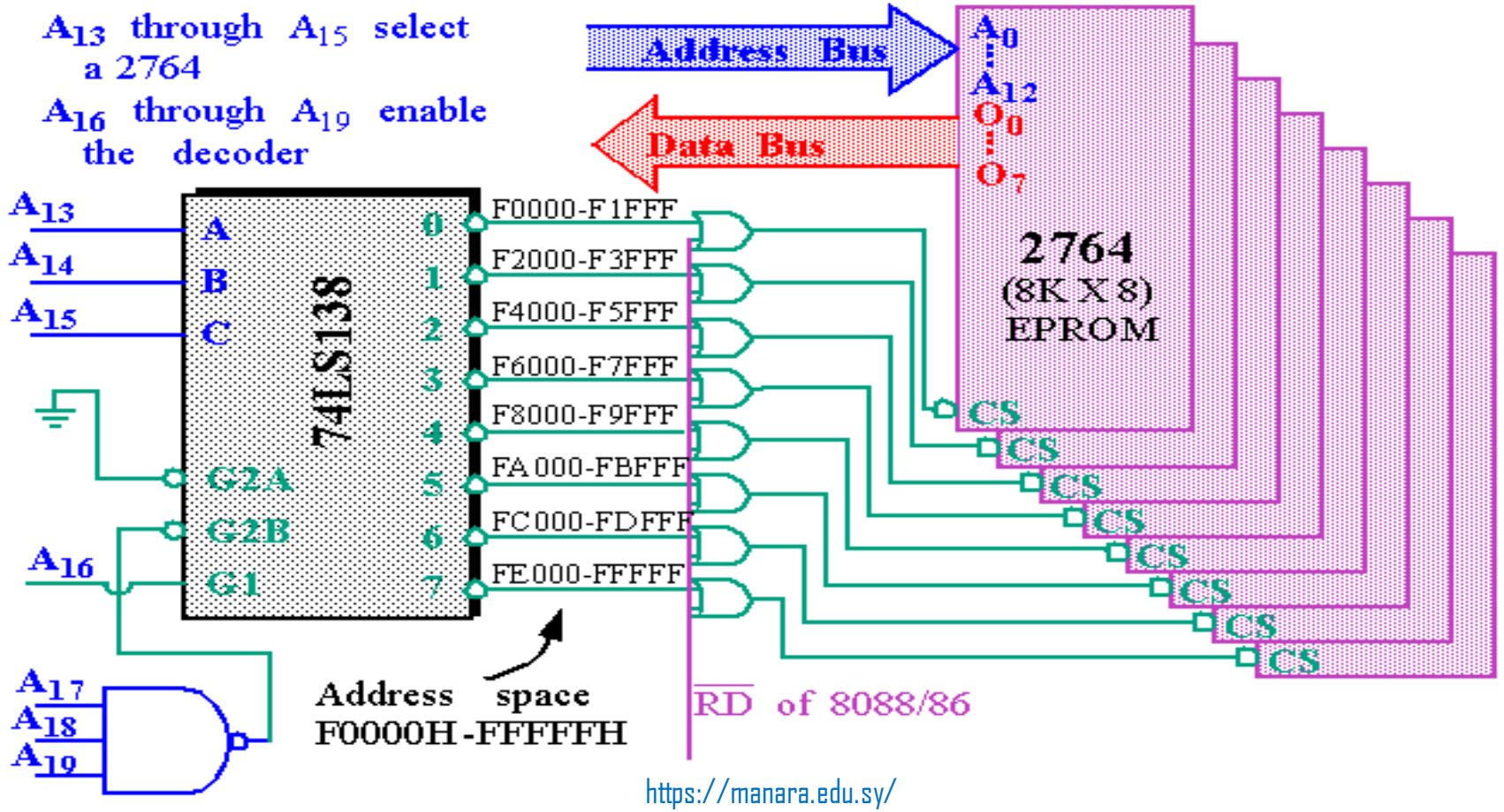
Full address decoding

All the address lines used by the decoder or memory chip => each byte is uniquely addressed = **full address decoding**



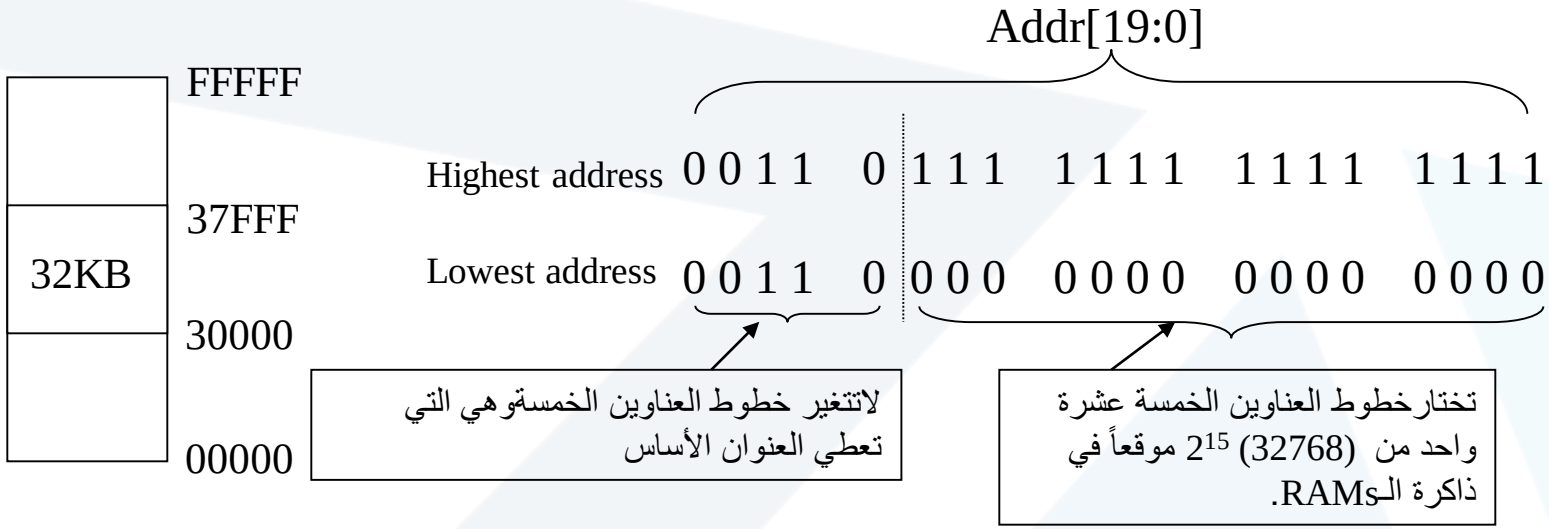
دارات فك الترميز
Decoding Circuits

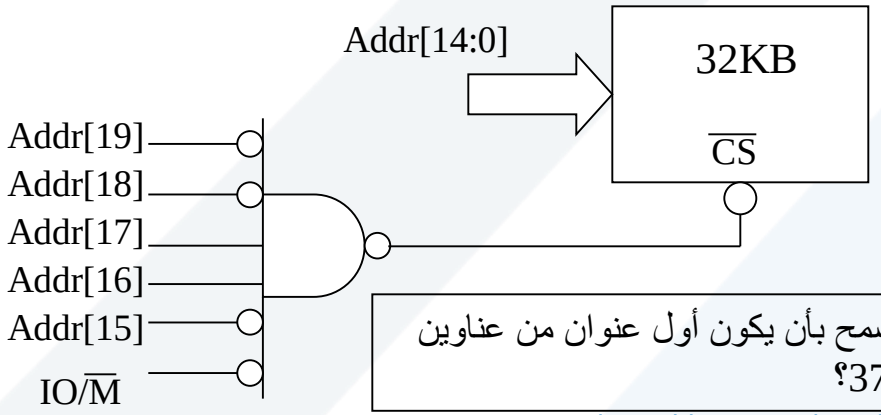
- نادراً ما يتم استخدام مفككات الترميز المعتمدة على بوابات NAND.
- يعتبر مفكك الترميز 3-to-8 Decoder (74LS138) الأكثر استخداماً



تفكيك ترميز عناوين الذاكرة
Memory Address Decoding

- استخدام كامل فضاء العنوان



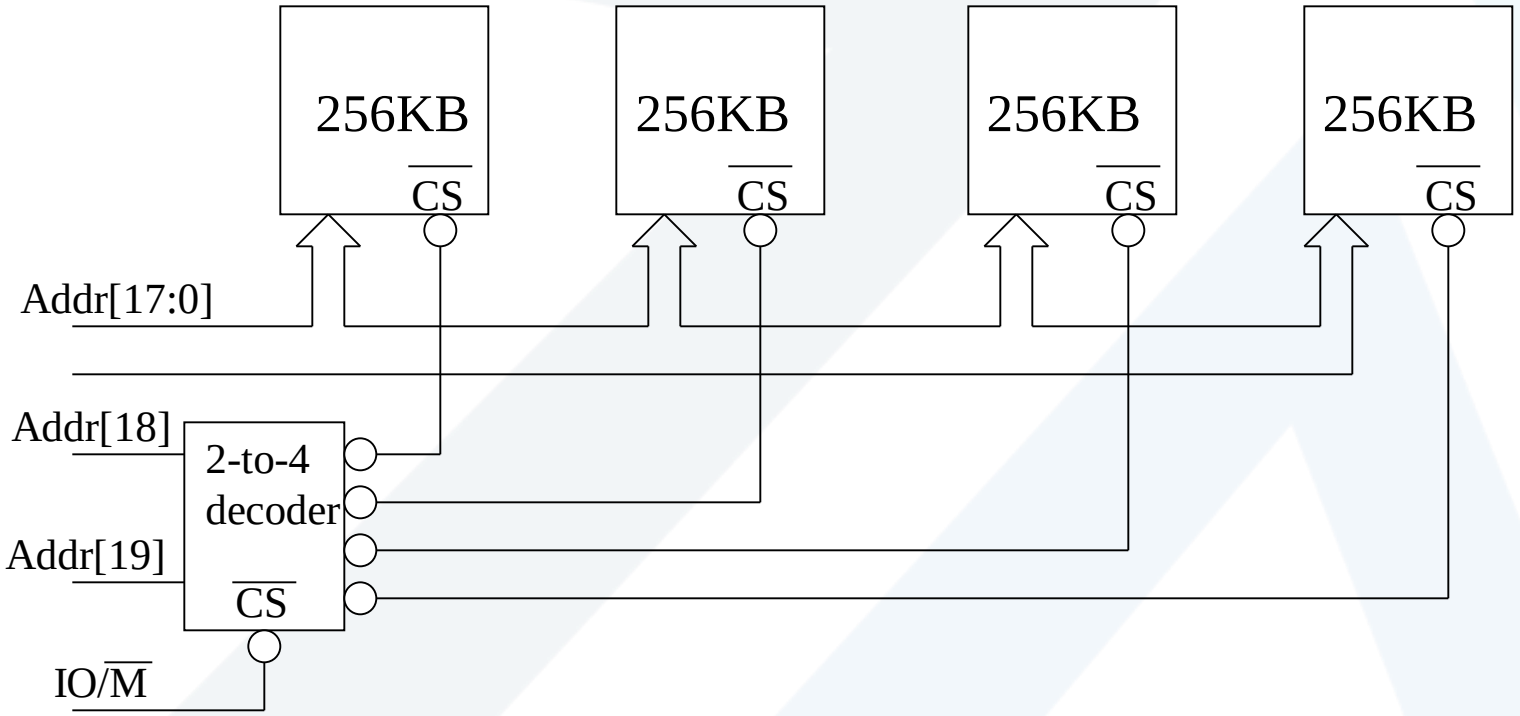


السؤال: هل يكمننا تصميم مفكك ترميز يسمح بأن يكون أول عنوان من عناوين الذاكرة البالغة سعتها 32KB هو 37124H؟

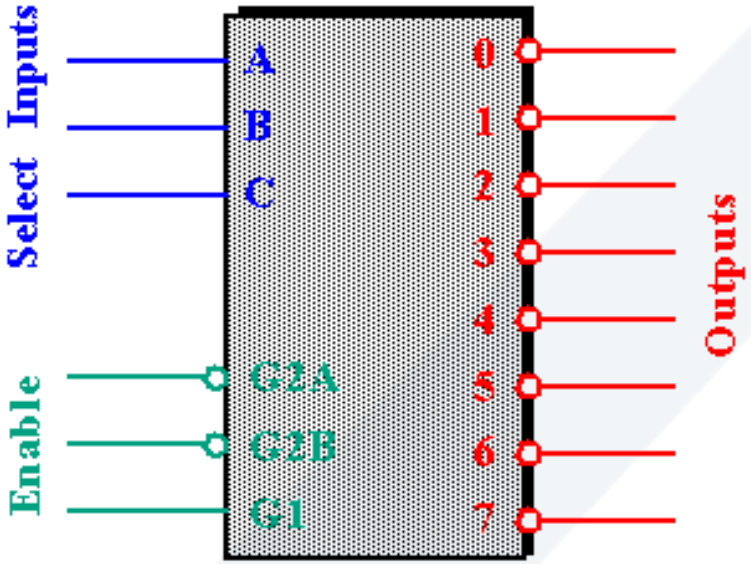
تفكيك ترميز عناوين الذاكرة

Memory Address Decoding

- Design a 1MB memory system consisting of multiple memory chips
  - ***Solution 1:***



Decoder 74138



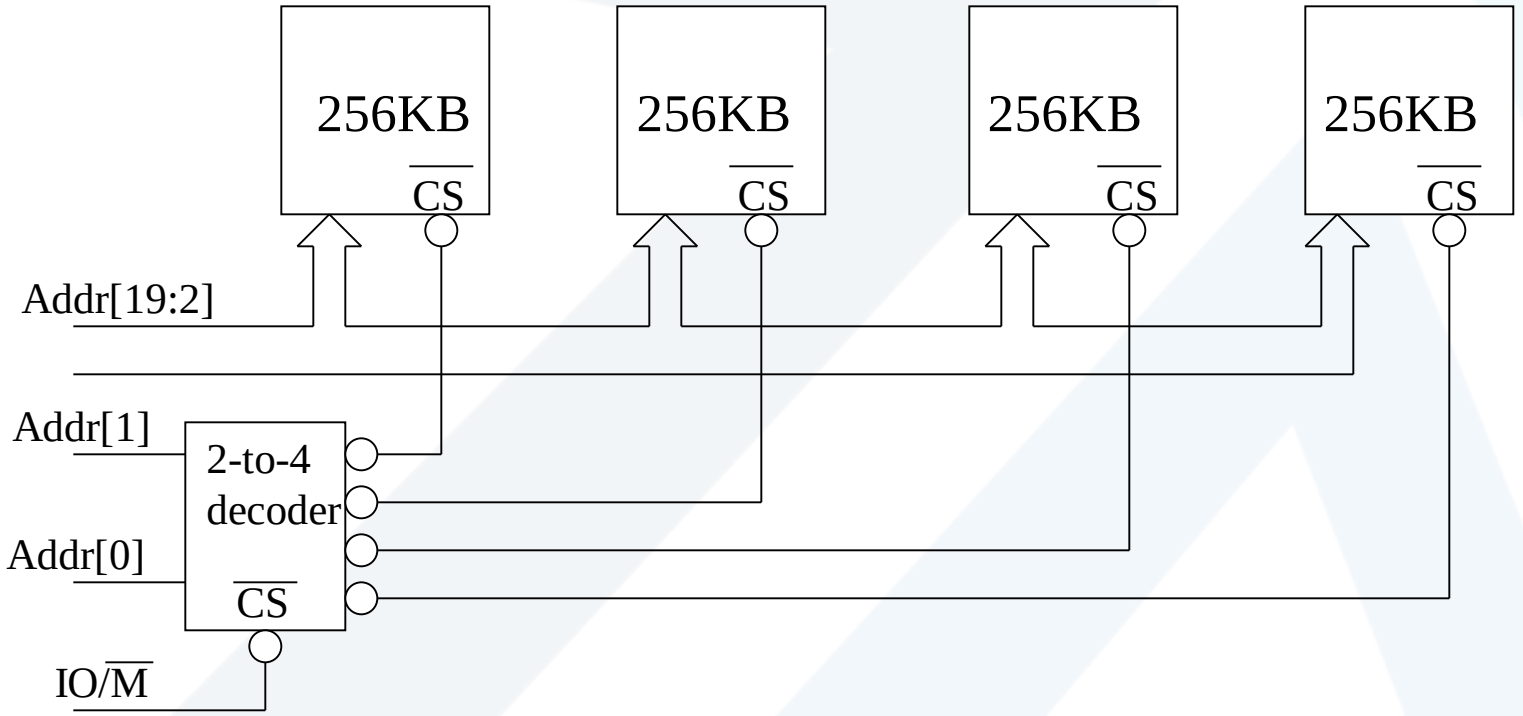
Inputs						Output							
Enable			Select										
G2A	G2B	G1	C	B	A	0	1	2	3	4	5	6	7
1	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	0	X	X	X	1	1	1	1	1	1	1	1
0	0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	1	1	1	1
0	0	1	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	0	0	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0

تفكيك ترميز عناوين الذاكرة

Memory Address Decoding

- Design a 1MB memory system consisting of multiple memory chips

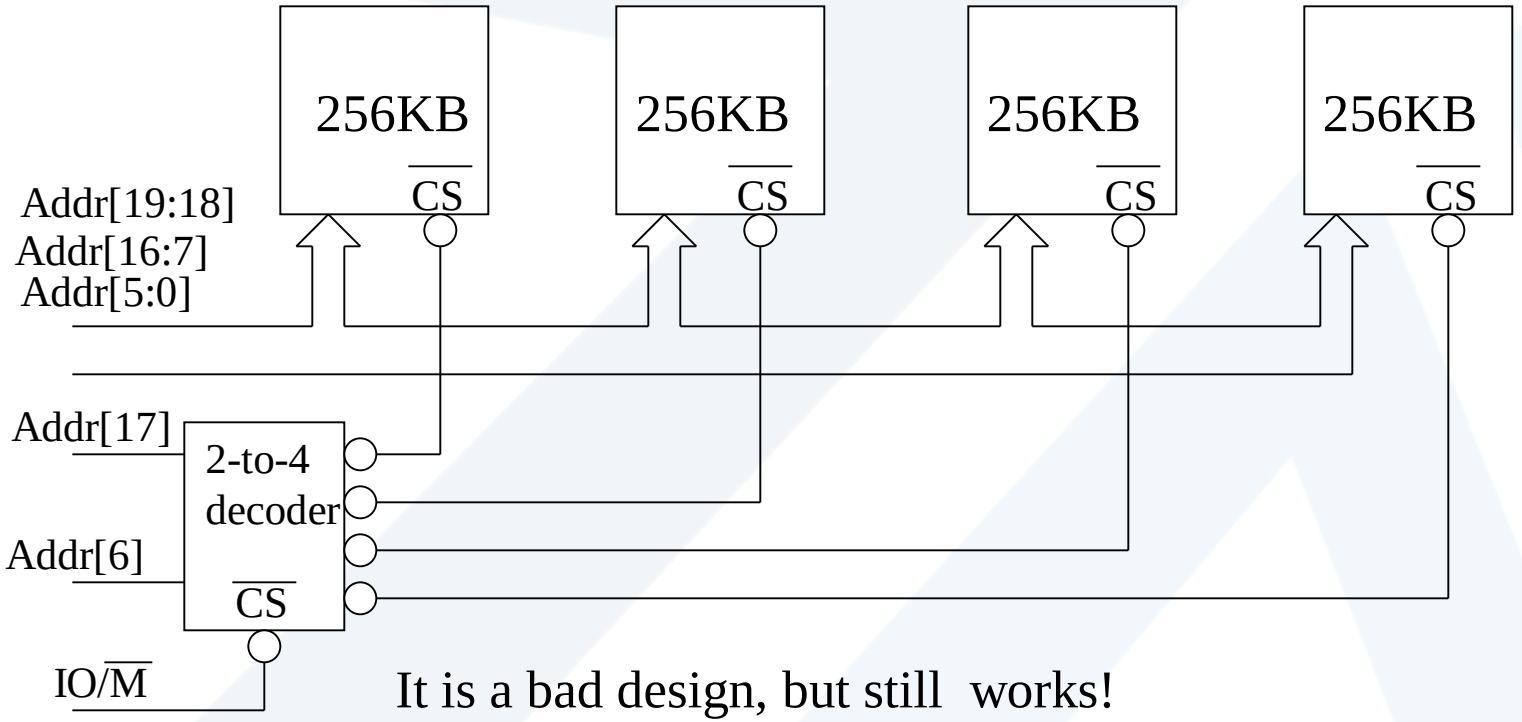
— ***Solution 2:***



تفكيك ترميز عناوين الذاكرة

Memory Address Decoding

- Design a 1MB memory system consisting of multiple memory chips
  - ***Solution 3:***

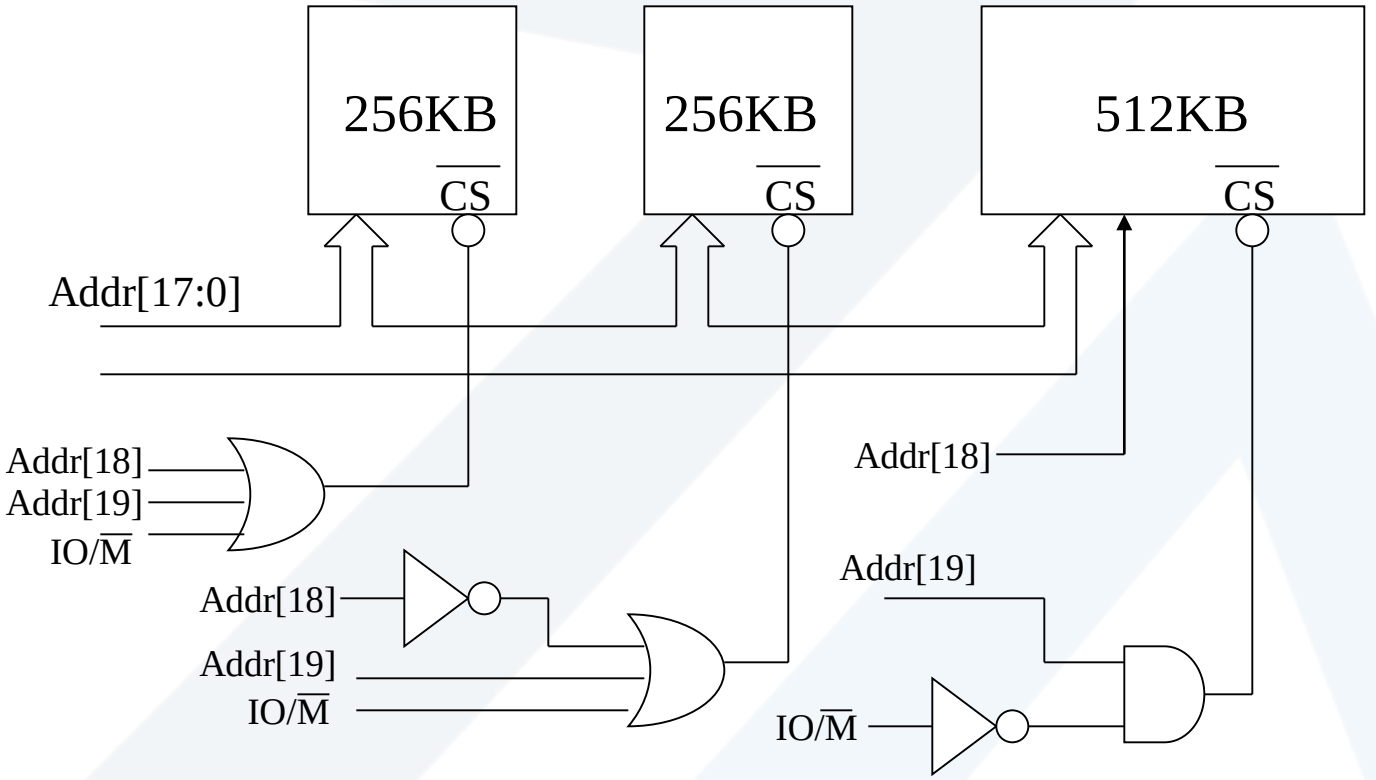


It is a bad design, but still works!

تفكيك ترميز عناوين الذاكرة

Memory Address Decoding

- Design a 1MB memory system consisting of multiple memory chips
  - ***Solution 4:***

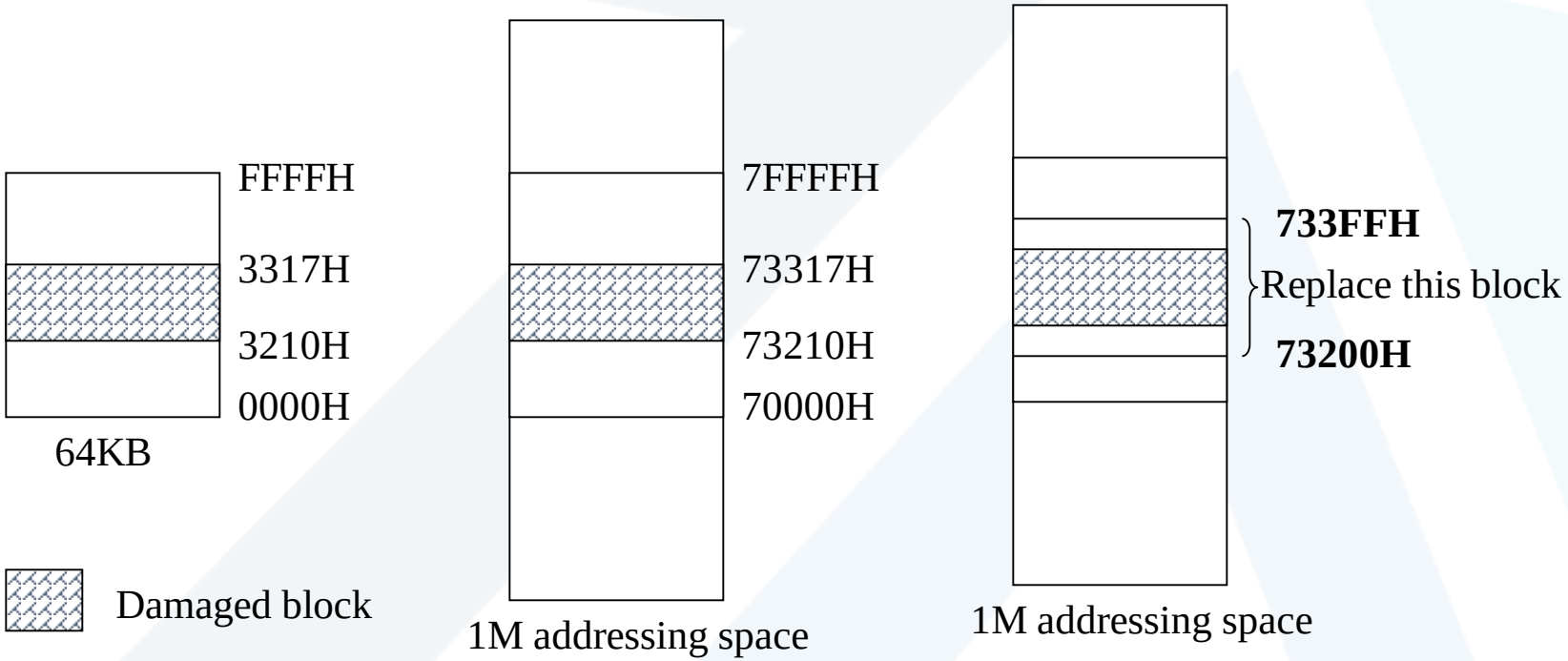


تفكيك ترميز عناوين الذاكرة

Memory Address Decoding

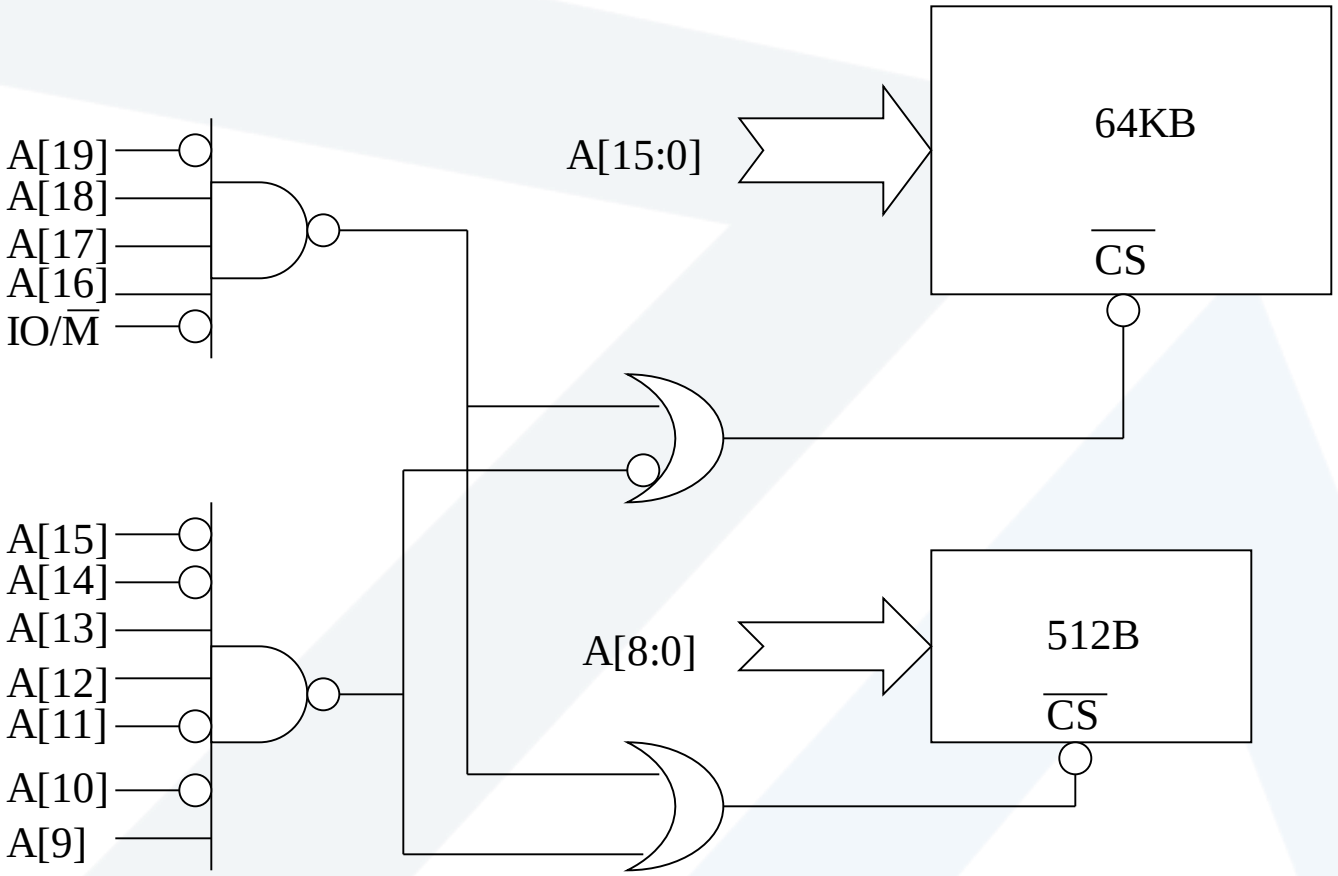
❑ Exercise Problem:

— A 64KB memory chip is used to build a memory system with the starting address of 7000H. A block of memory locations in the memory chip are damaged.



تفكيك ترميز عناوين الذاكرة

Memory Address Decoding

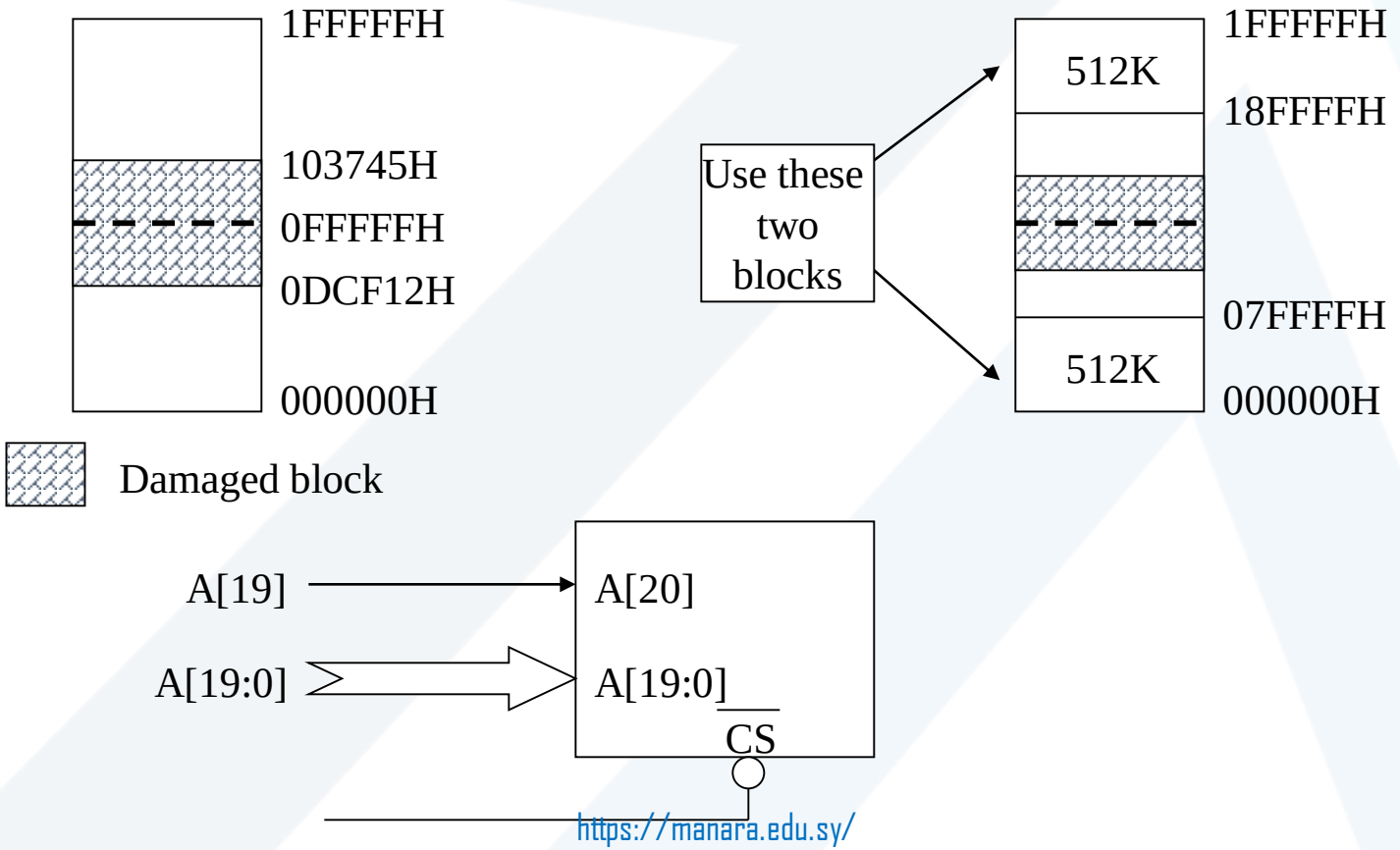


تفكيك ترميز عناوين الذاكرة

Memory Address Decoding

❑ Exercise Problem:

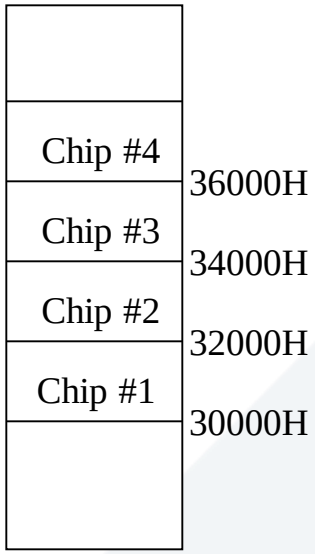
— A 2MB memory chip with a damaged block (from 0DCF12H to 103745H) is used to build a 1MB memory system for an 8088-based computer



تفكيك ترميز عناوين الذاكرة

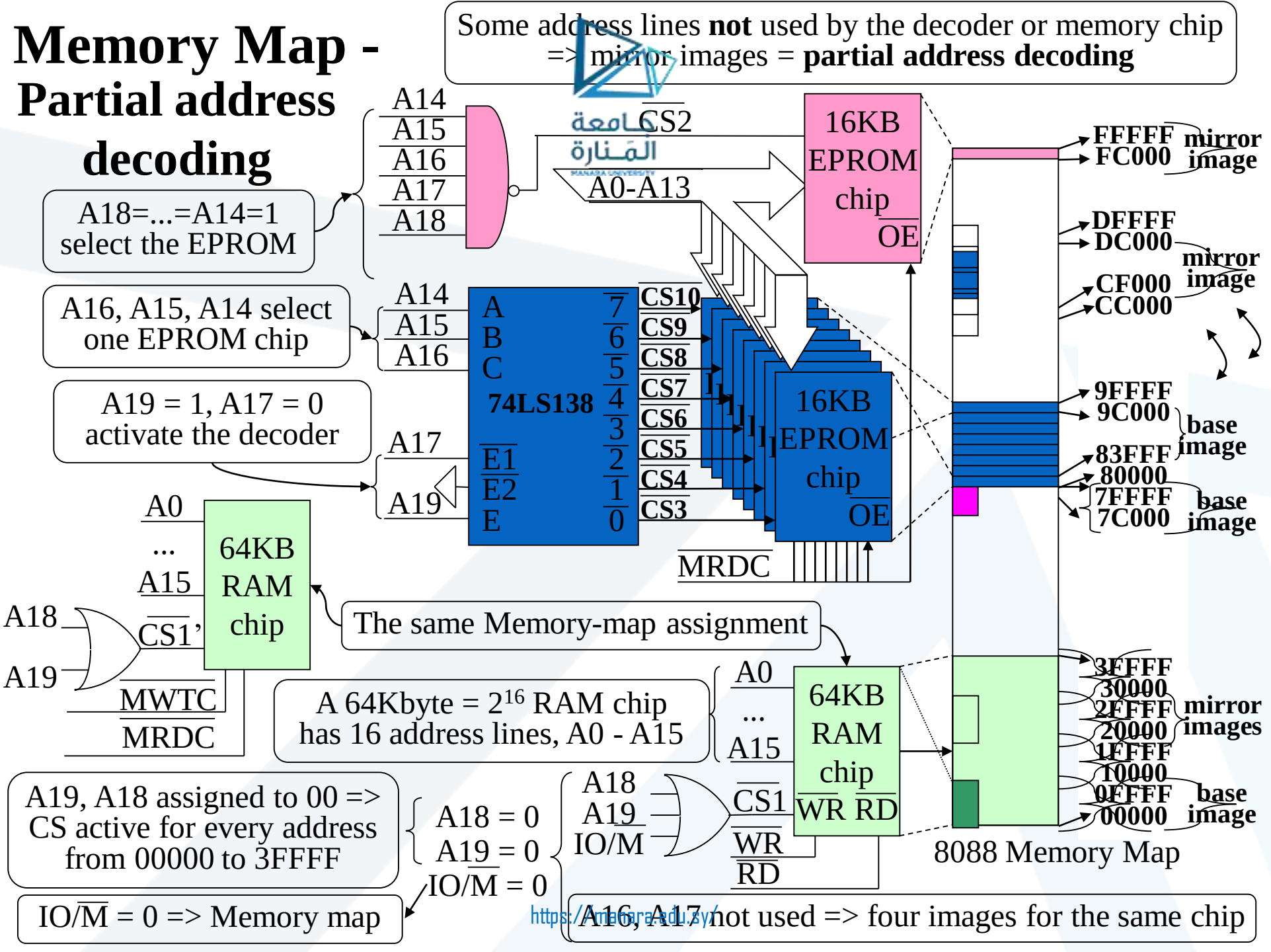
Memory Address Decoding

- Partial decoding
  - Example:
    - build a 32KB memory system by using four 8KB memory chips
    - The starting address of the 32KB memory system is 30000H



0 0 1 1 0	1 1	1 1 1 1 1 1 1 1 1 1 1 1	high addr. of chip #4
0 0 1 1 0	1 1	0 0 0 0 0 0 0 0 0 0 0 0	Low addr. of chip #4
0 0 1 1 0	1 0	1 1 1 1 1 1 1 1 1 1 1 1	high addr. of chip #3
0 0 1 1 0	1 0	0 0 0 0 0 0 0 0 0 0 0 0	Low addr. of chip #3
0 0 1 1 0	0 1	1 1 1 1 1 1 1 1 1 1 1 1	high addr. of chip #2
0 0 1 1 0	0 1	0 0 0 0 0 0 0 0 0 0 0 0	Low addr. of chip #2
0 0 1 1 0	0 0	1 1 1 1 1 1 1 1 1 1 1 1	high addr. of chip #1
0 0 1 1 0	0 0	0 0 0 0 0 0 0 0 0 0 0 0	Low addr. of chip #1

Memory Map - Partial address decoding



https://manara.edu.sy/