المحاضرة الثالثة والرابعة
بنية التعليمة
المقاطعة

Architecture & Organization 1

- Architecture is those attributes visible to the programmer
  - Instruction set, number of bits used for data representation, I/O mechanisms, addressing techniques.
  - e.g. Is there a multiply instruction?
- Organization is how features are implemented
  - Control signals, interfaces, memory technology.
  - e.g. Is there a hardware multiply unit or is it done by repeated addition?

- البنية هي مجموعة الصفات التي تقع في نطاق رؤية المبرمج.
  - مجموعة التعليمات عدد الخانات المستخدمة لتمثيل البيانات آليات الإدخال/الإخراج تقنيات العنونة
  - مثل: هل هنالك تعليمة جداء
- التنظيم هو الكيفية التي تنفذ بها المميزات.
  - إشارات التحكم، الواجهات البينية، تكنولوجيا الذاكرة.
  - مثل: هل يوجد وحدة تحقيق جداء داراتية أو أن الجداء ينجز من خلال الجمع المتكرر.

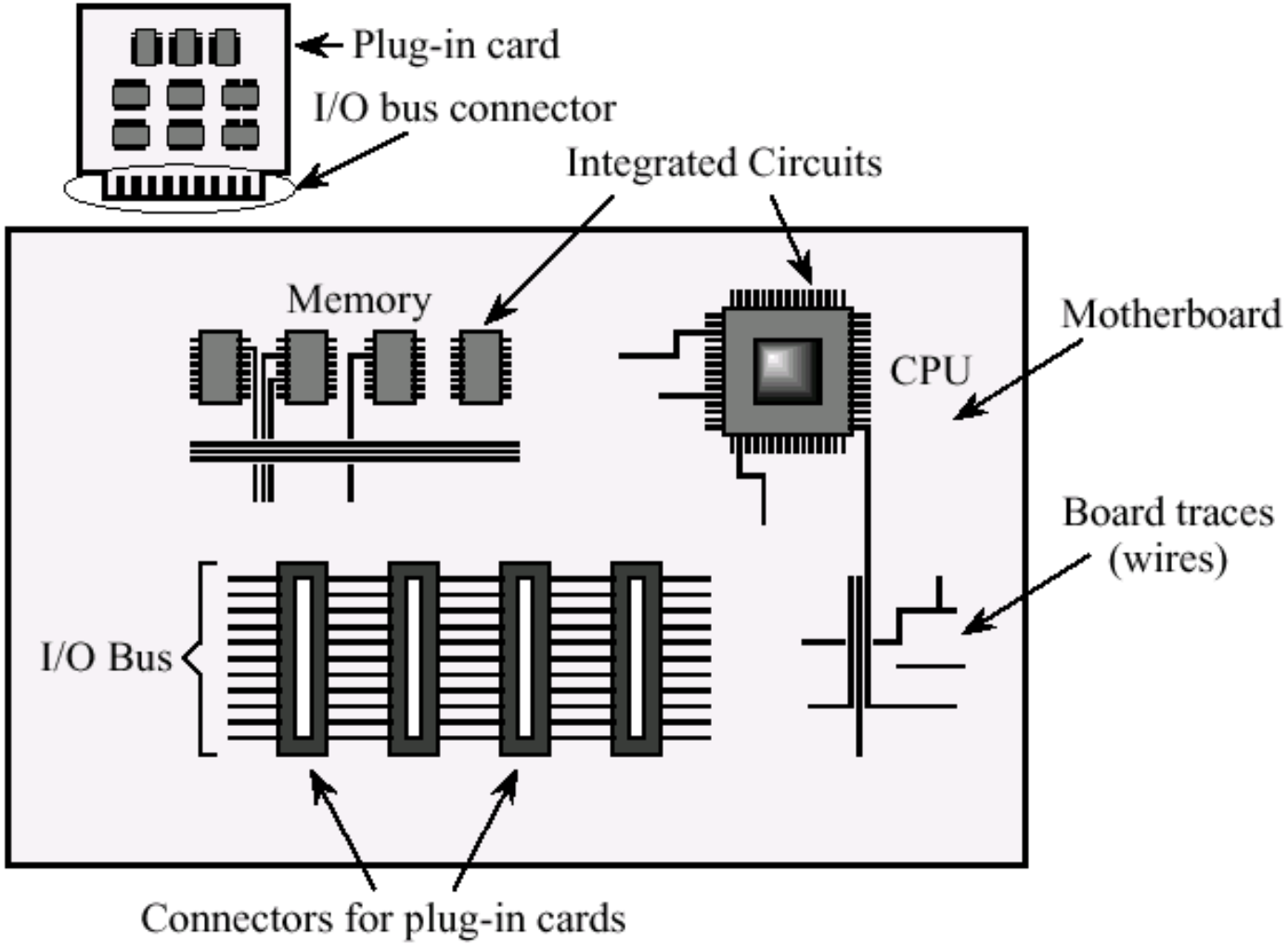
المحاضرة الثالثة

- Chapter 3

- مراجعة دورة التعليمة Instruction Cycle Review
- سكة أو باص النظام System Buses

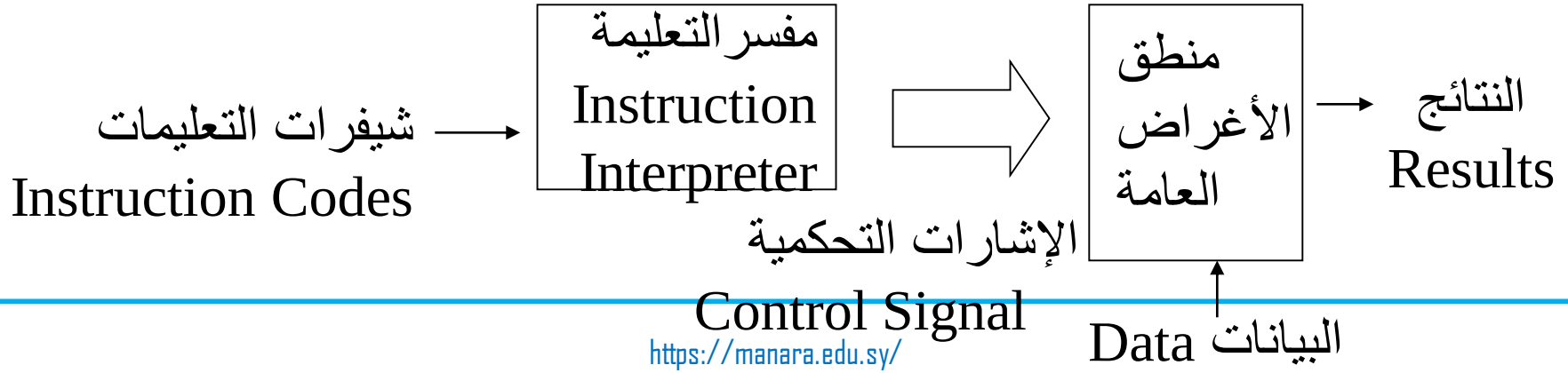
البنية المبسطة للسكة أو الباصِ

اللوحة الأم المبسطة للحاسوب الشخصي (منظورعلوي)



مراجعة البنية مفهوم البرنامج
Architecture Review - Program Concept

- النظم الموصولة داراتياً غير مرنة
  - تحتاج إلى الكثير من الجهد لإعادة الوصل
- يمكن للبنى الداراتي العامة القيام بمهمات عديدة بفرض وجود إشارات تحكم صحيحة
- يجري التزويد بمجموعة جديدة من الإشارات تحمية بدلاً من إعادة الوصل



ماهو البرنامج

- برمجياً Software
  - تتالي من الخطوات A sequence of steps
  - في كل خطوة يجري إنجاز عملية حسابية أو منطقية،
  - من أجل كل خطوة نحتاج إلى مجموعة جديدة من إشارات التحكم (تعليمة مثلاً)

وظيفة وحدة التحكم Control Unit

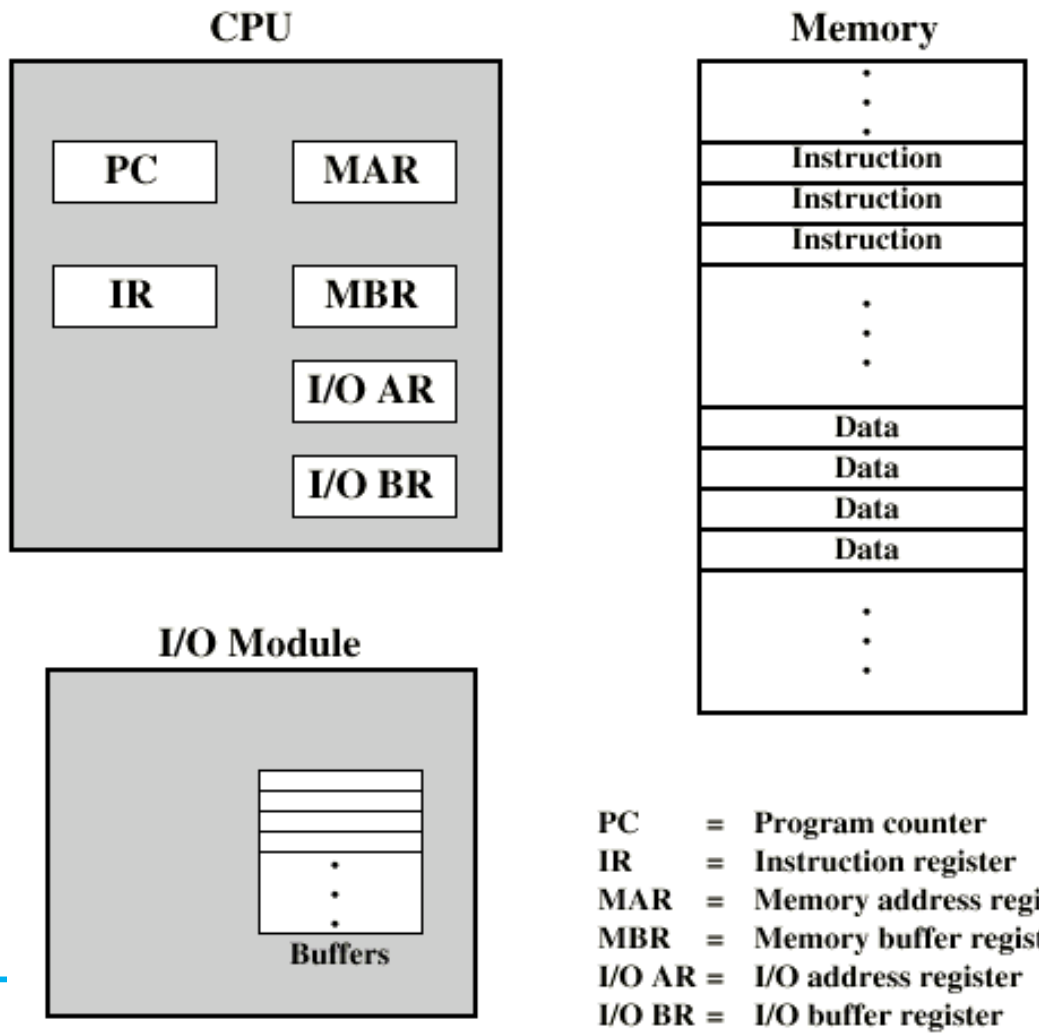
- هنالك شيفرة متميزة لكل عملية.
  - مثل ADD أو MOVE
- قطاع داراتي hardware segment يستقبل الشيفرة ويصدر إشارات التحكم control signals.

- عندها يكون لدينا حاسوب! We have a computer!

المكونات Components

- وحدة المعالجة المركزية Central Processing Unit
  - وحدة تحكم Control Unit
  - وحدة الحساب والمنطق Arithmetic and Logic Unit
- نحتاج إلى تزويد الـCPU بالتعليمات instructions والبيانات data والحصول على النتائج.
  - الإدخال/الإخراج Input/Output
- نحتاج إلى التخزين مؤقت للشيفرة code وللنتائج results.
  - الذاكرة الرئيسية Main memory

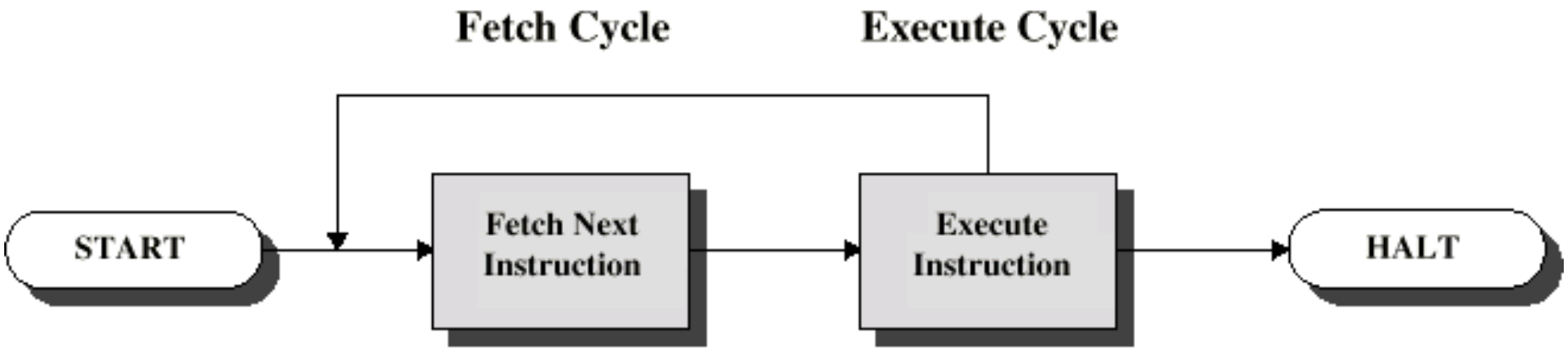
مكونات الحاسوب من منظور أعلى مستوىً
Top Level View



PC	=	Program counter	عداد البرنامج
IR	=	Instruction register	مسجل التعليمة
MAR	=	Memory address register	مسجل عناوين الذاكرة
MBR	=	Memory buffer register	مسجل عزل الذاكرة
I/O AR	=	I/O address register	مسجل عناوين I/O
I/O BR	=	I/O buffer register	مسجل عزل I/O

Instruction Cycle دورة التعليمة المبسطة

- Two steps مرحلتين
  - Fetch الجلب
  - Execute التنفيذ



دورة الجلب Fetch Cycle

- يحمل عداد البرنامج (PC) بعنوان التعليمة **التالية** للجلب.
- يجلب المعالج التعليمة من الموقع المشار إليه بعداد البرنامج PC.
- مزايدة عداد البرنامج Increment PC
  - مالم يذكر شيء آخر.
- تحميل التعليمة في مسجل التعليمة IR Instruction Register.
- يفسر المعالج التعليمة ويقوم بإنجاز الفعالية المطلوبة.

دورة التنفيذ Execute Cycle

- المعالج-الذاكرة Processor-memory
  - تبادل البيانات بين الـ CPU والذاكرة الرئيسية main memory.
- المعالج-I/O Processor I/O
  - تبادل البيانات بين الـ CPU نماذج I/O.
- معالجة البيانات Data processing
  - إنجاز بعض العمليات المنطقية أو الحسابية على البيانات.
- التحكم Control
  - تغيير تتالي التعليمات Alteration of sequence of operations
  - مثل القفز jump
- مزيج مما ذكر أعلاه Combination of above

Hypothetical Machine آلية افتراضية

- صيغة التعليمة Instruction Format ومجال العنونة Address range

Opcode	Address

0 3 4 15

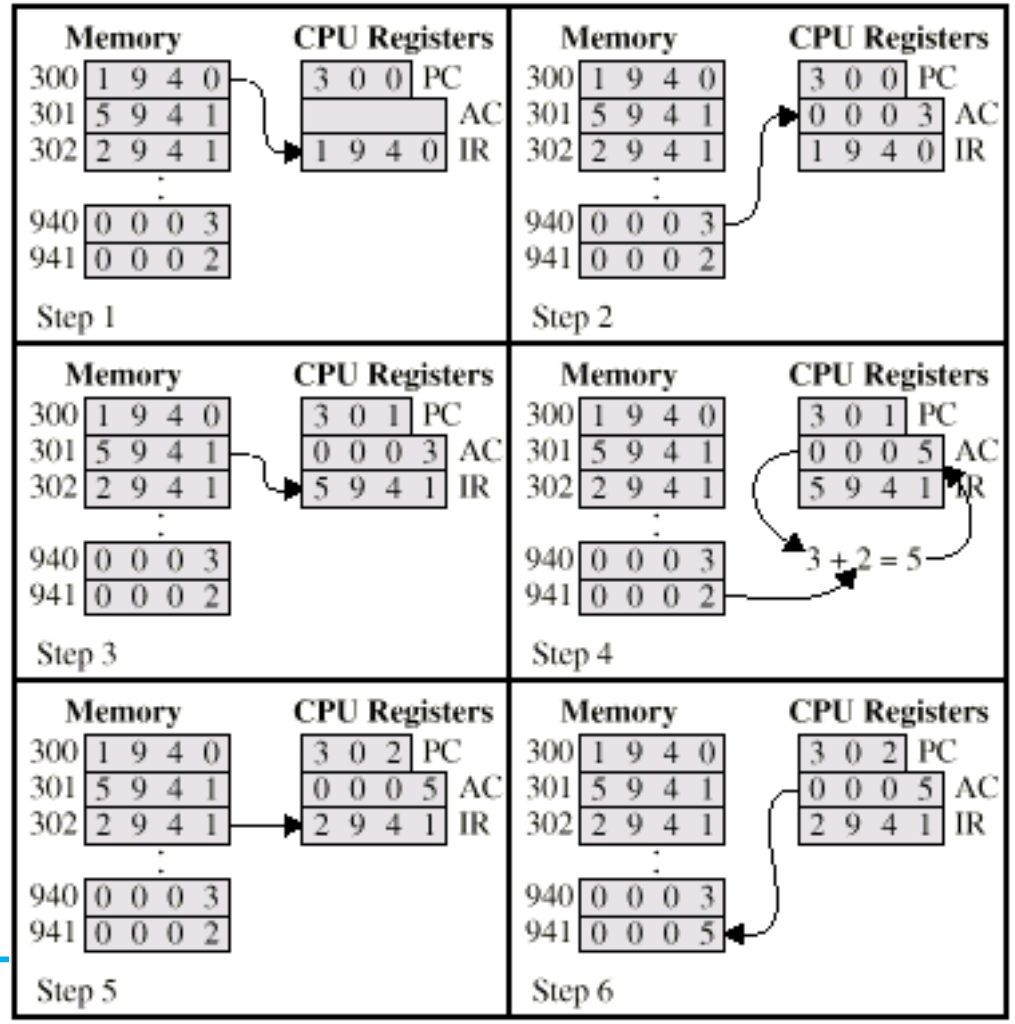
- الصيغة الصحيحة Integer Format ومجال البيانات Data range

S	Magnitude

0 1 15

- المسجلات Registers
- PC = Program Counter, IR = Instruction Register, AC = Accumulator
- قائمة جزئية من شيفرة العمليات Partial List of Opcodes
- 0001 = Load AC from Memory
- 0010 = Store AC to Memory
- 0101 = Add to AC from Memory

مثال عن تنفيذ البرنامج
Example of Program Execution

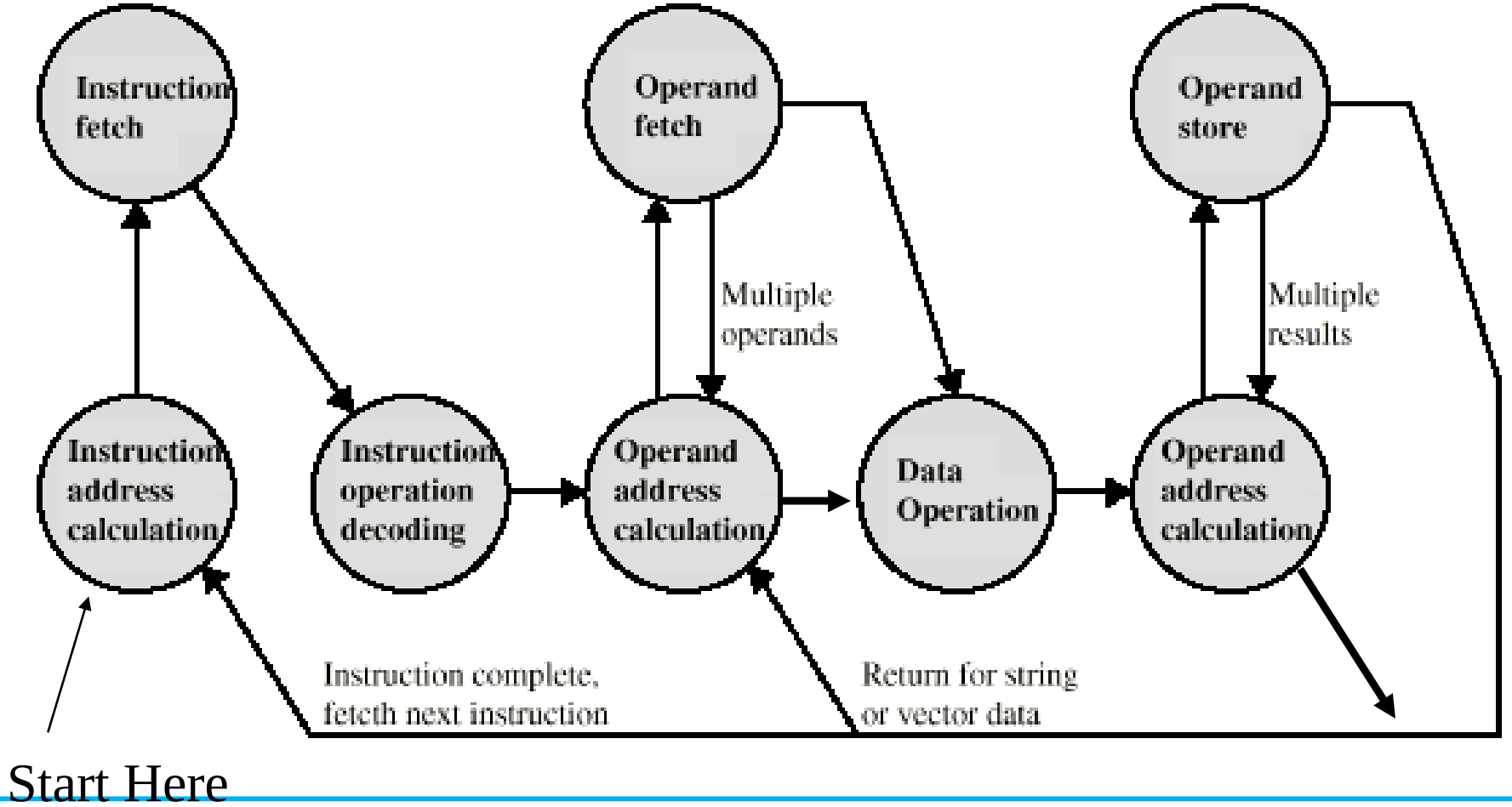


تعديلات على دورة التعليمة

- مثال بسيط Simple Example
  - إضافة واحد إلى عداد البرنامج Always added one to PC
  - جلب الحد بشكل كامل من خلال التعليمة Entire operand fetched with instruction
- أمثلة أكثر تعقيداً More complex examples
  - احتمال الحاجة إلى حسابات عناوين التعليمات أكثر تعقيداً.
    - مثل معالجات 64 bit، بطول تعليمة متغير.
  - قد يأخذ تصميم مجموعة التعليمات بعين الاعتبار زيارة الذاكرة أكثر من مرة لجلب الحد.
    - خصوصاً عندما يزيد مجال عنوان الذاكرة عن طول كلمة البيانات.
  - قد يحتاج تخزين الحد أيضاً إلى زيارات متكررة للذاكرة.
    - حساب الموجهات (الأشعة) Vector calculation

دورة التعليمة- مخطط الحالة

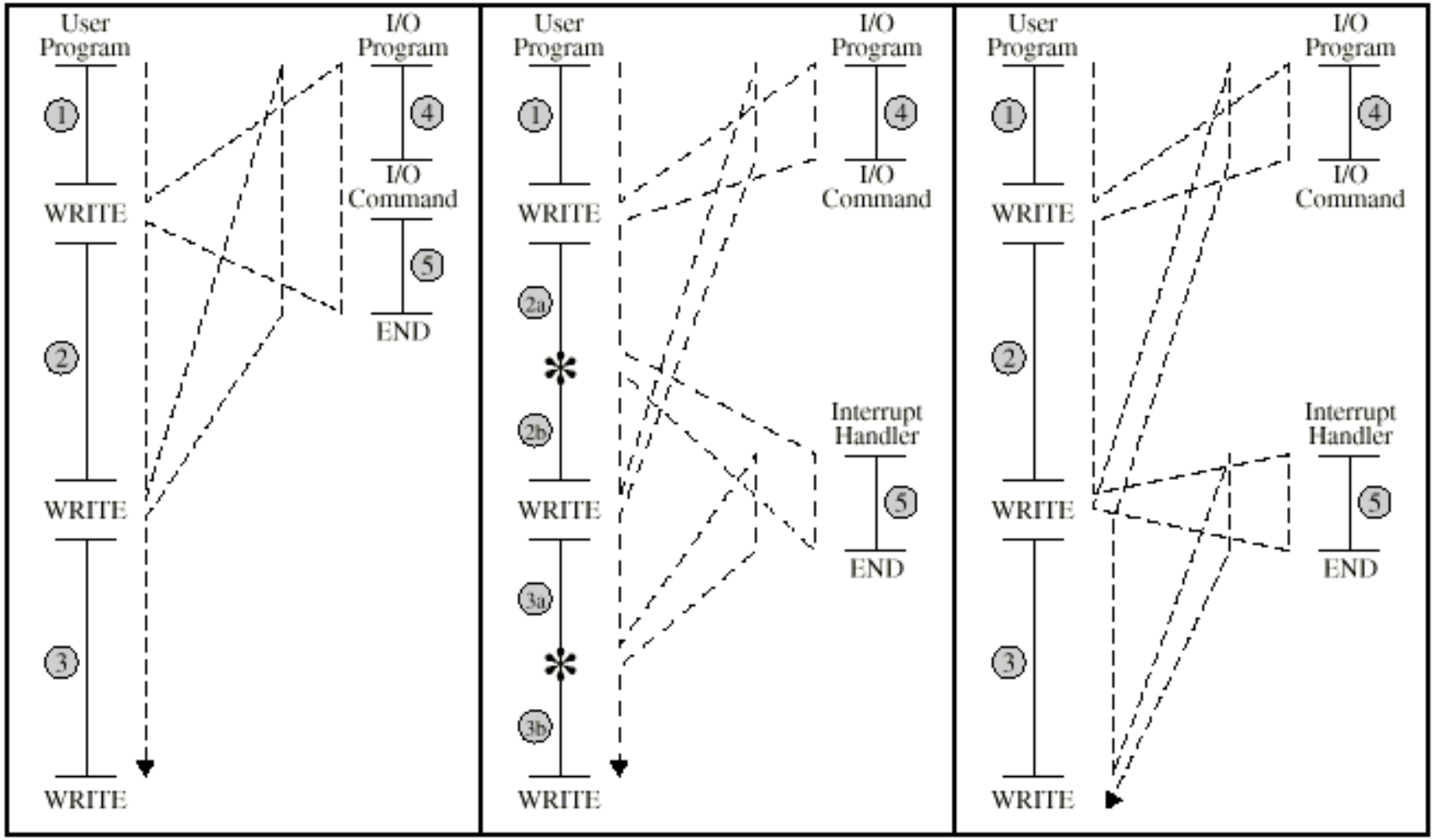
Instruction Cycle - State Diagram



مدخل إلى المقاطعة
Introduction to Interrupts

- سيكون هنالك الكثيرمما سيدرس لاحقاً بما يتعلق بالمقاطعة.
- المقاطعة هي آلية يستطيع من خلالها نموذج ما أن يقاطع التتالي الطبيعي لعملية أخرى (مثلاً عمليات I/O).
- هنالك أربع أصناف عامة للمقاطعات:
  - مقاطعة برنامج Program مثل الطفح overflow والتقسيم على صفر.
  - المؤقت Timer
    - تلك التي تتولد عبر موقت المعالج الداخلي.internal processor timer
    - تلك المستخدمة في تعدد المهام القسري pre-emptive multi-tasking
  - مقاطعات متحكم I/O I/O controller
  - عطل داراتي Hardware failure
    - مثل خطأ إنجابية الذاكرة memory parity error
- تظهر فائدة المقاطعة بشكل خاص عندما يكون أحد النماذج أبطأ من النماذج الأخرى. مثل النفاذ إلى الأقراص (**بالميللي** ثانية) بينما النفاذ إلى الـCPU (**بالميكرو** ثانية).

أمثلة عن المقاطعة



(a) No interrupts (b) Interrupts; short I/O wait (c) Interrupts; long I/O wait

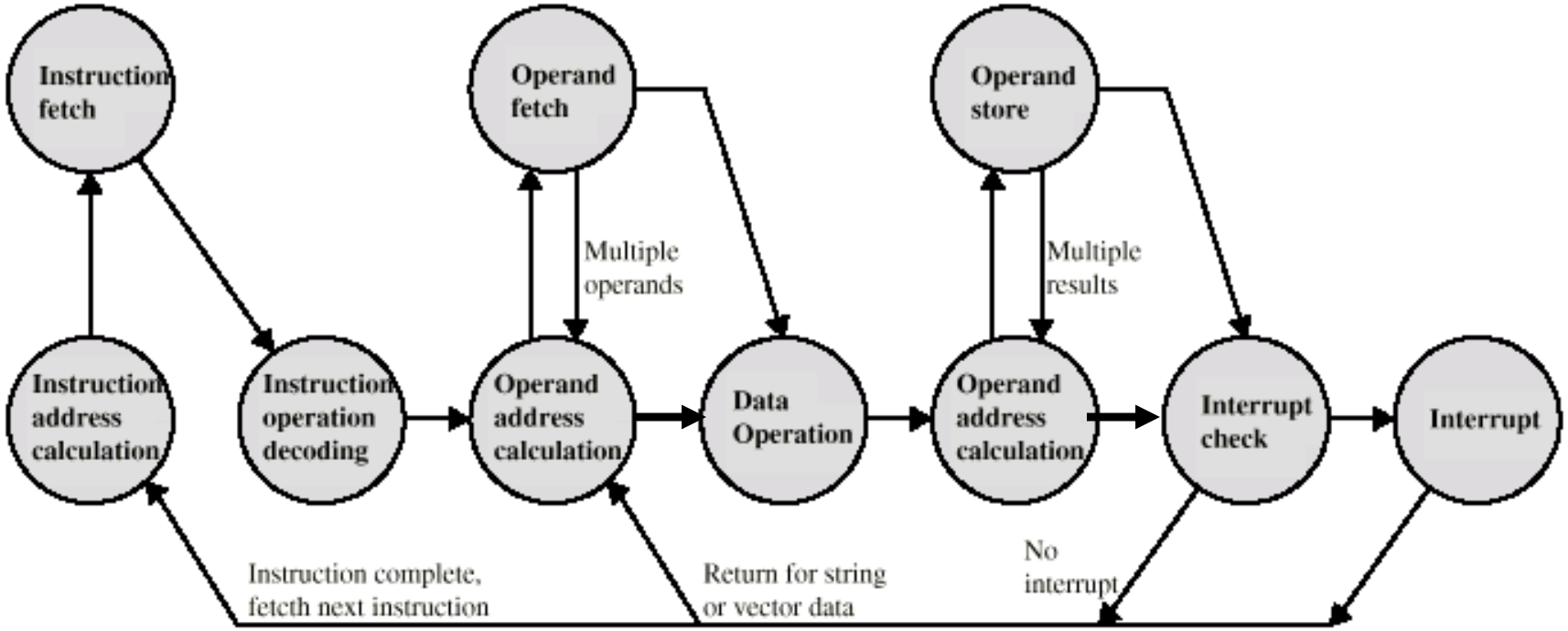
Interrupt Cycle دورة المقاطعة

- Added to instruction cycle تضاف إلى دورة التعليمة
- Processor checks for interrupt يختبر المعالج وجود طلب مقاطعة
  - Indicated by an interrupt signal يستدل على الطلب بوجود إشارة مقاطعة
- If no interrupt, fetch next instruction لاطلب، جلب التعليمة التالية
- If interrupt pending: يوجد طلب
  - Suspend execution of current program تعليق تنفيذ البرنامج الحالي
  - Save context (what does this mean?) احفظ السياق
  - اضبط عداد البرنامج على عنوان بداية بونامج خدمة المقاطعة

Set PC to start address of interrupt handler routine

  - Process interrupt عالج المقاطعة
  - Restore context and continue interrupted program استعيد السياق وتابع

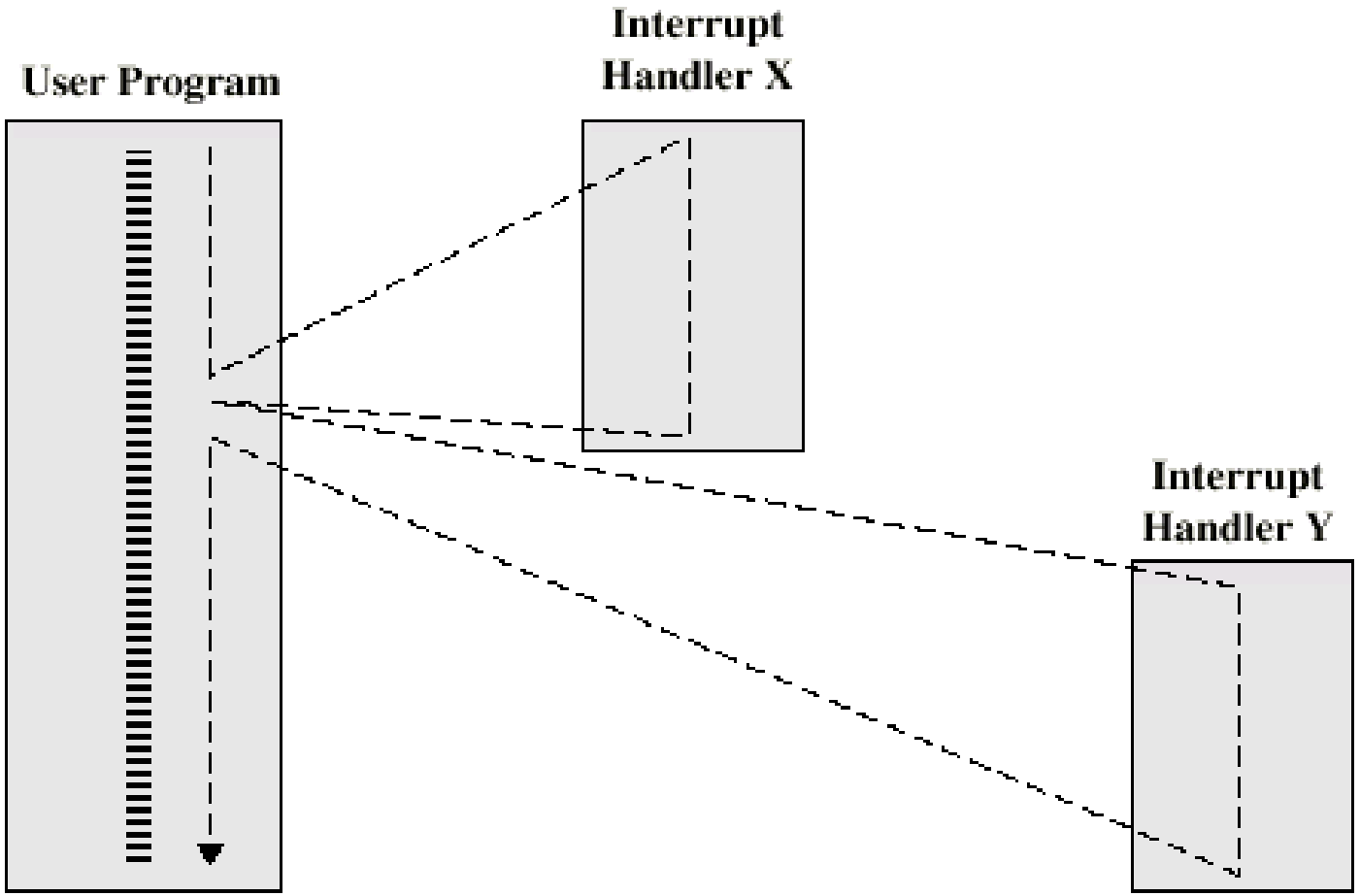
مخطط الحالة دورة التعليمة باعتبار المقاطعة



المقاطعات التعددية Multiple Interrupts

- منع (إلغاء تمكين) المقاطعات Disable interrupts معالجة تسلسلية
  - يتجاهل المعالج المقاطعات الأخرى أثناء معالجته إحدى المقاطعات.
  - تبقى المقاطعات معلّقة ويجري اختبارها بعد الانتهاء من خدمة المقاطعة قيد المعالجة.
  - يجري خدمة المقاطعات بتسلسل الورود.
- تعريف الأفضليات (الأولويات) المقاطعات المضمنةNested
  - يمكن مقاطعة المقاطعات ذات الأولوية الأدنى من قبل المقاطعات ذات الأولوية الأعلى.
  - يعود المعالج إلى المقاطعة السابقة عند الانتهاء من خدمة المقاطعة ذات الأولوية الأعلى.

المقاطعات التعددية –تسلسلياً
Multiple Interrupts - Sequential

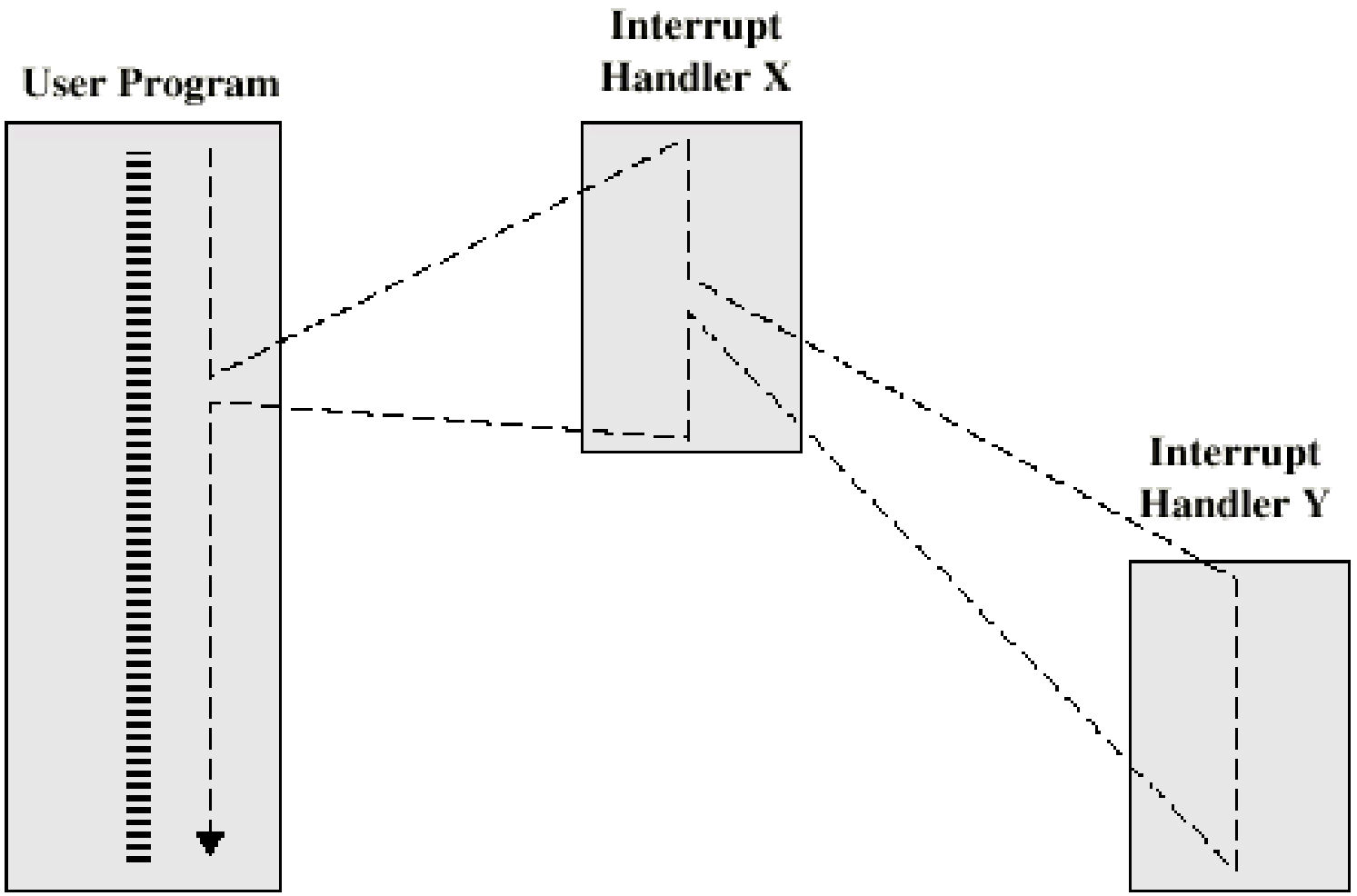


Disabled Interrupts – Nice and Simple إلغاء تمكين المقاطعات واضح وبسيط

https://manara.edu.sy/

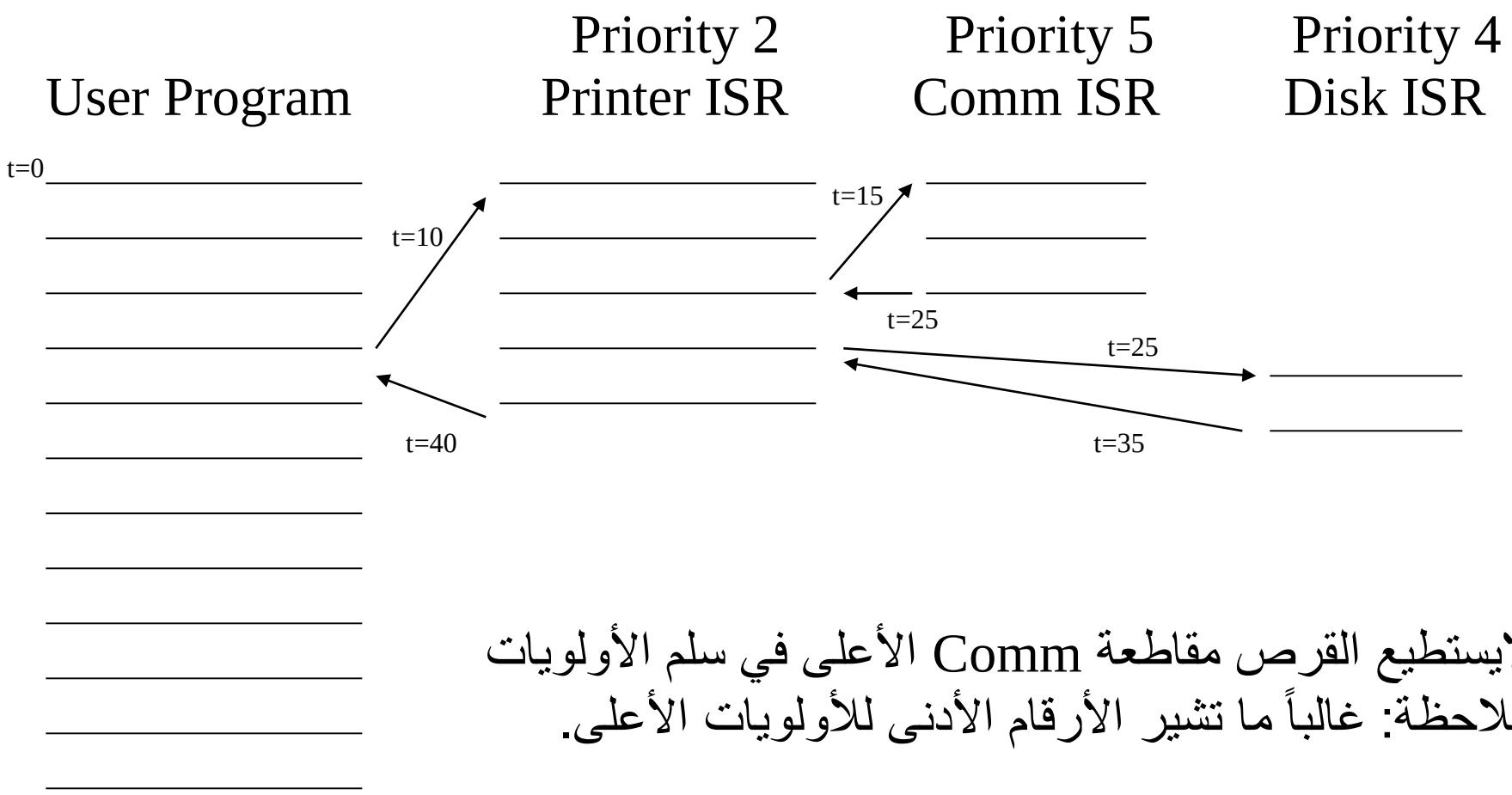
المقاطعات التعددية –المضمنة

Multiple Interrupts - Nested



كيفية التعامل مع عدد عشوائي من المقاطعات؟

عينة من التتالي الزمني لمجموعة مقاطعات



لايستطيع القرص مقاطعة Comm الأعلى في سلم الأولويات

ملاحظة: غالباً ما تشير الأرقام الأدنى للأولويات الأعلى.

الوصل Connecting

- يجب وصل جميع هذه الوحدات مع المعالج.
- يختلف نمط الوصل باختلاف نمط الوحدة.
  - الذاكرة Memory
  - وحدات الـInput/Output I/O
  - وحدة المعالجة المركزية CPU

الوصل مع الذاكرة Memory Connection

- تتألف الذاكرة تقليدياً من N words بطول متساوي معنونة من 0 إلى N-1
- تستلم وترسل البيانات
  - إلى المعالج To Processor
  - إلى أجهزة I/O To I/O Device
- تستقبل عناوين المواقع Receives addresses (of locations)
- تستقبل إشارات التزامن Receives control signals
  - القراءة Read
  - الكتابة Write
  - التوقيت Timing

ربط الإدخال/الإخراج (1)
Input/Output Connection(1)

- شبيه وظيفياً وشكلياً بالربط مع الذاكرة من وجهة النظر الداخلية.
- بدلاً من N words للذاكرة يكون لدينا M ports.
- الإخراج Output
  - لاستلام البيانات من الحاسوب Receive data from computer
  - لإرسال البيانات بإلى الوحدات المحيطية Send data to peripheral
- الإدخال Input
  - لاستقبال البيانات من الوحدات المحيطية Receive data from peripheral
  - إرسال البيانات إلى الحاسوب Send data to computer

ربط الإدخال/الإخراج (2)
Input/Output Connection(2)

- لاستقبال إشارات التحكم control signals من الحاسوب
- إرسال إشارات التحكم control signals إلى الوحدات المحيطية
  - مثل القرص الدوار e.g. spin disk
- تستقبل العناوين من الحاسوب
  - مثل رقم البوابة المعرفة للوحدة المحيطية
- ترسل إشارات مقاطعة (تحكم) interrupt signals (control)

ربط الـCPU ---- CPU Connection

- إرسال إشارات التحكم control signals إلى الوحدات الأخرى
- قراءة التعليمات والبيانات instruction and data
- كتابة البيانات (بعد المعالجة)
- استقبال ومعالجة المقاطعات

الباص أو السكة Buses

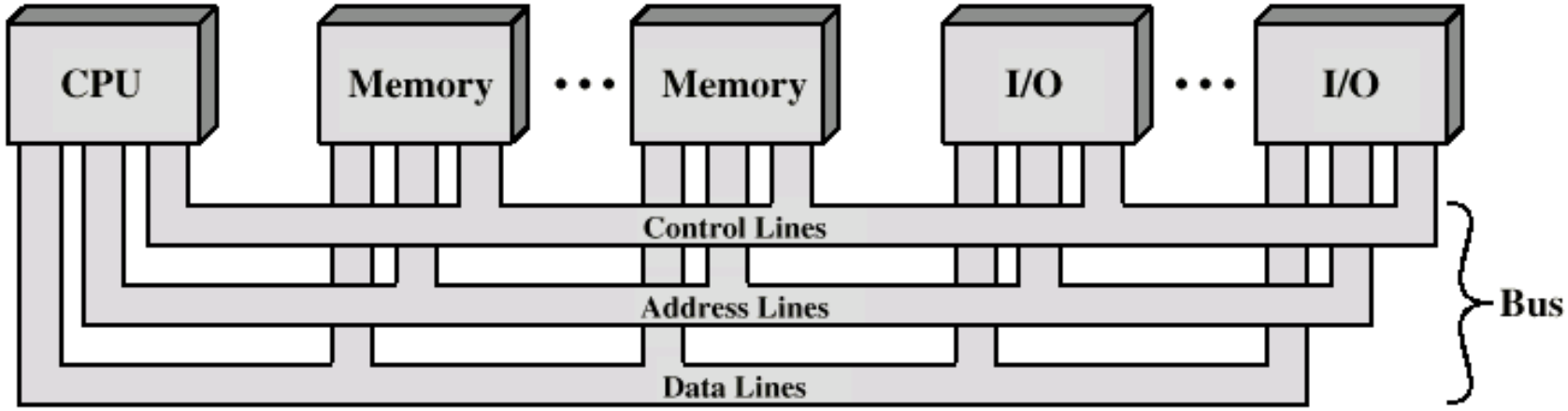
- هنالك عدد من نظم الوصل الداخلي. ونظام الباص **bus هو** الأكثر انتشاراً

- بنى الباص الأحادي والتعددي هي الأكثر شيوعاً
- مثل باص التحكم/العنوان/البيانات للحاسوب الشخصي PC Control/Address/Data bus (PC)
- الباص الأحادي – Unibus (DEC-PDP) عوضاً عن الباص المتوسط Omnibus.

What is a Bus? ماهو الباص؟

- معبر اتصال ومرور يربط جهازين أو أكثر.
- عادة يستخدم البث broadcast
  - الجميع ينصت، ويجب تقاسم وسط النقل.
  - السيد Master -يمكنه القراءة والكتابة حصرياً ولا يوجد إلاّ سيد واحد
  - الخادم Slave -بقية الأجهزة ويمكنه مراقبة البيانات ولطن لايمكنه توليدها.
- غالباً يكون مجمعاً Often grouped
  - عدد من الأقنية channels في باص واحد.
  - مثال 32 bit data bus هو 32 قناة أحادية الخانة منفصلة.
- قد لاتظهر خطوط الطاقة أو التغذية.
- ثلاثة أنواع رئيسية للباص هي: data, address, control.

الشكل العام للربط باستخدام الباص
Bus Interconnection Scheme



باص البيانات Data Bus

- يحمل البيانيات Carries data
  - مع التذكير بأنه ليس هنالك فرق بين البانات والتعليمات عند هذا المستوي.
- يعتبر عرض الباص هو المحدد الأساسي للأداء performance
  - 8, 16, 32, 64 bit
  - ماذل لوأن عرض باص البيانات 8 bits بينما عرض التعليمة هو 16 bits?
  - ماذا لو أن باص البيانات كان 64 bits والتعليمات بطول 16 bits؟

باص العناوين Address bus

- لتحديد مصدر وهدف البيانات.
  - تحدد العناوين بشكل عام عنوان أحد مواقع الذاكرة أو عنوان إحدى بوابات I/O.
- تحتاج الـ CPU لقراءة التعليمة (أو البيانات) من موقع محدد في الذاكرة.
- يحدد عرض الباص السعة الأعظمية للذاكرة في النظام.
  - لمعالج 8086 باص بعرض 20 خانة 20 bit address bus مقابل كلمات بعرض 16 bit word size في حيز قابل للعنونة بشكل مباشر بسعة 64k.
  - إلا أنه يستطيع عنونة حتى 1MB باستخدام نموذج الذاكرة المقسم إلى قطاعات segmented memory model
    - RAM: 0 – BFFFF, ROM: C0000 - FFFFF
    - يسمح نظام مثل DOS فقط باستخدام أول 640K بينما يخصص بقية الذاكرة للـBIOS وللمتحكمات البناء الصلب hardware controllers. ونحتاج لمدير للحيز الأعلى من الذاكرة ليكسر حاجز Needed High-Memory Manager to "break the 640K barrier" .

باص التحكم Control Bus

- معلومات التحكم والتزامن Control and timing information
  - تحدد النماذج التي تستطيع استخدام البيانات وخطوط العناوين.
  - يتوجب على النموذج في حال إرسال البيانات أن (1) يحصل على السماح باستخدام الباص (2) ينقل البيانات التي قد يطلب التعامل معها في نفس الوقت نموذج آخر.
- خطوط التحكم القياسية Typical control lines:

- Memory read
- Memory write
- I/O read
- I/O write
- Interrupt request
- Interrupt ACK
- Bus Request
- Bus Grant
- Clock signals

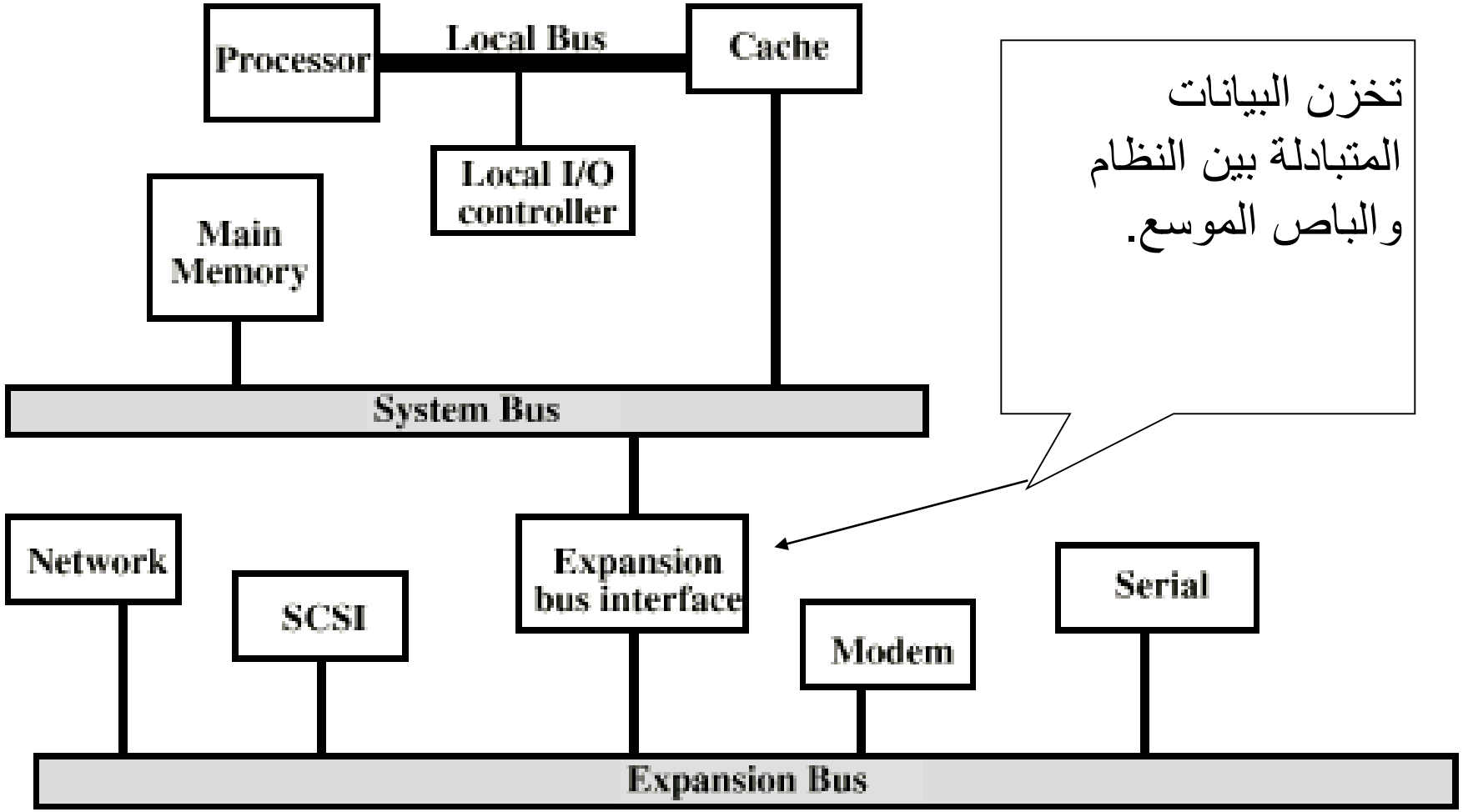
Big and Yellow?

- What do buses look like? كيف يبدو الباص؟
  - خطوط متوازية مطبوعة على لوحة الدارة.
  - شريط كابلات Ribbon cables
  - موصلات على اللوحة الأم Strip connectors.
    - مثل الـPCI
  - مجموعة من الأسلاك Sets of wires
- محكومة بالتقارب الفيزيائي والتأخير الزمني وعدد المخارج fan out والتضعيف attenuation وجميعها معاملات مؤثرة ناجمة عن طول الباص.

مشكلة الباص الوحيد
Single Bus Problems

- ربط العديد من الأجهزة على باص وحيد تقود إلى:
  - تأخير الانتشار Propagation delays
    - كلما أصبحت ممرات البيانات أكثر طولاً كلما أثّر ذلك سلباً على الأداء وخلق إزاحة في الباص **bus skew** حيث تصل البيانات في أزمان مختلفة قليلاً
    - إذا قارب تبادل البيانات المختلفة سعة الباص، فإن ذلك قد يحتّم زيادة عرض الباص مما يزيد الكلفة.
  - سرعة الأجهزة Device speed
    - لايستطيع الباص تبادل البيانات بسرعة تزيد عن سرعة الجهاز الأبطأ.
    - وبالتالي فإن الجهاز الأبطأ يعتبر محدداً لسرعة الباص.
      - فإذا أخذنا نموذج لشبكة عالية السرعة ودرسنا بوابة تسلسلية بطيئة عاملة على نفس الباص؛ فإن سرعة الشبكة تصبح مقيدة بسرعة البوابة التسلسلية الدنيا لكي تستطيع تبادل البيانات معها.
  - مشاكل الاستطاعة المستهلكة والمبددة Power problems
- معظم نظم الحواسيب تستخدم أكثر من باص لحل هذه المشاكل.

باصات ISA التقليدية (بوجود ذاكرة مخبأية)
Traditional (ISA)(with cache)



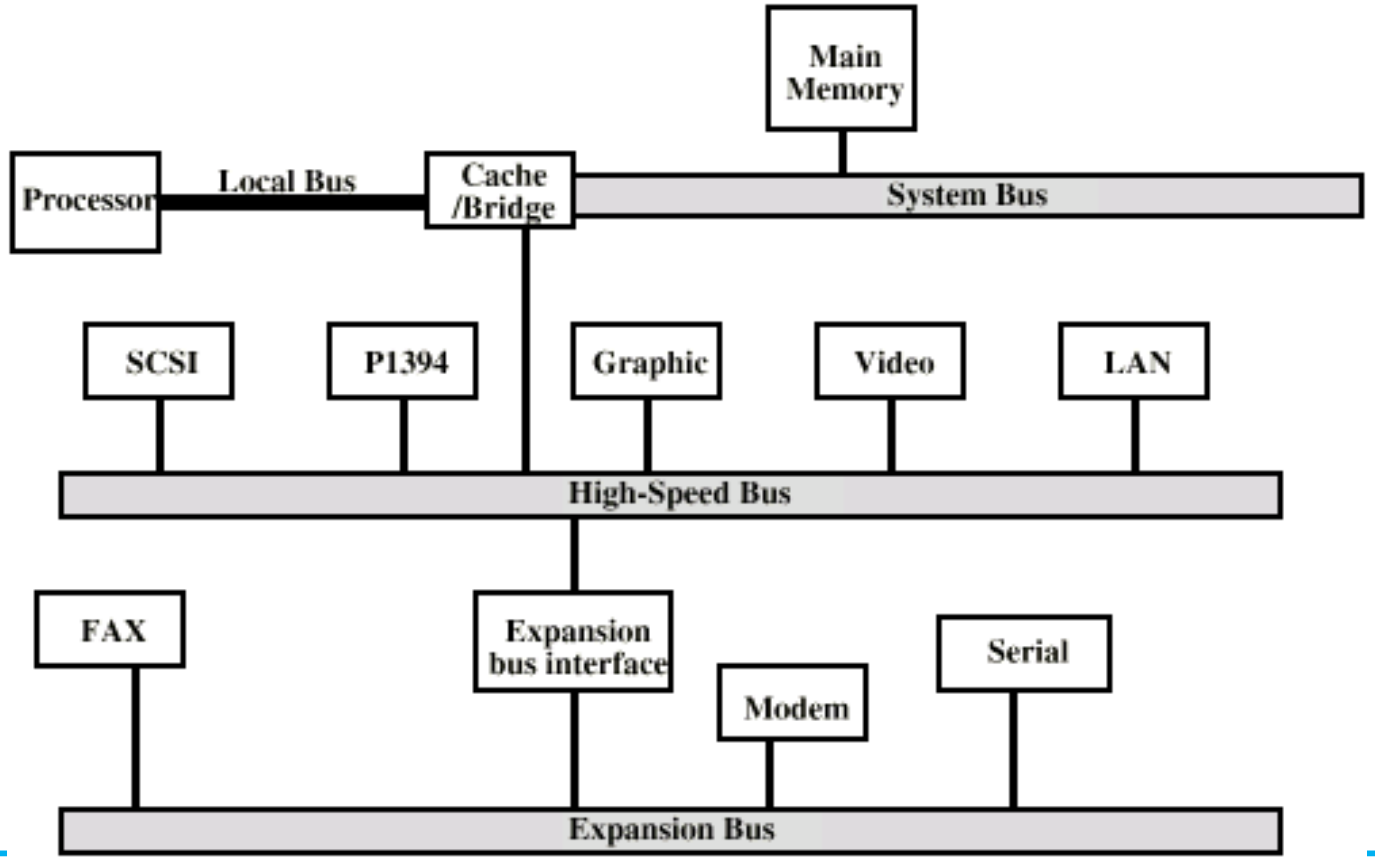
تخزن البيانات المتبادلة بين النظام والباص الموسع.

لايعود لهذه المقاربة فائدة ترجى إذا تم الربط مع أجهزة I/Oعالية الأداء

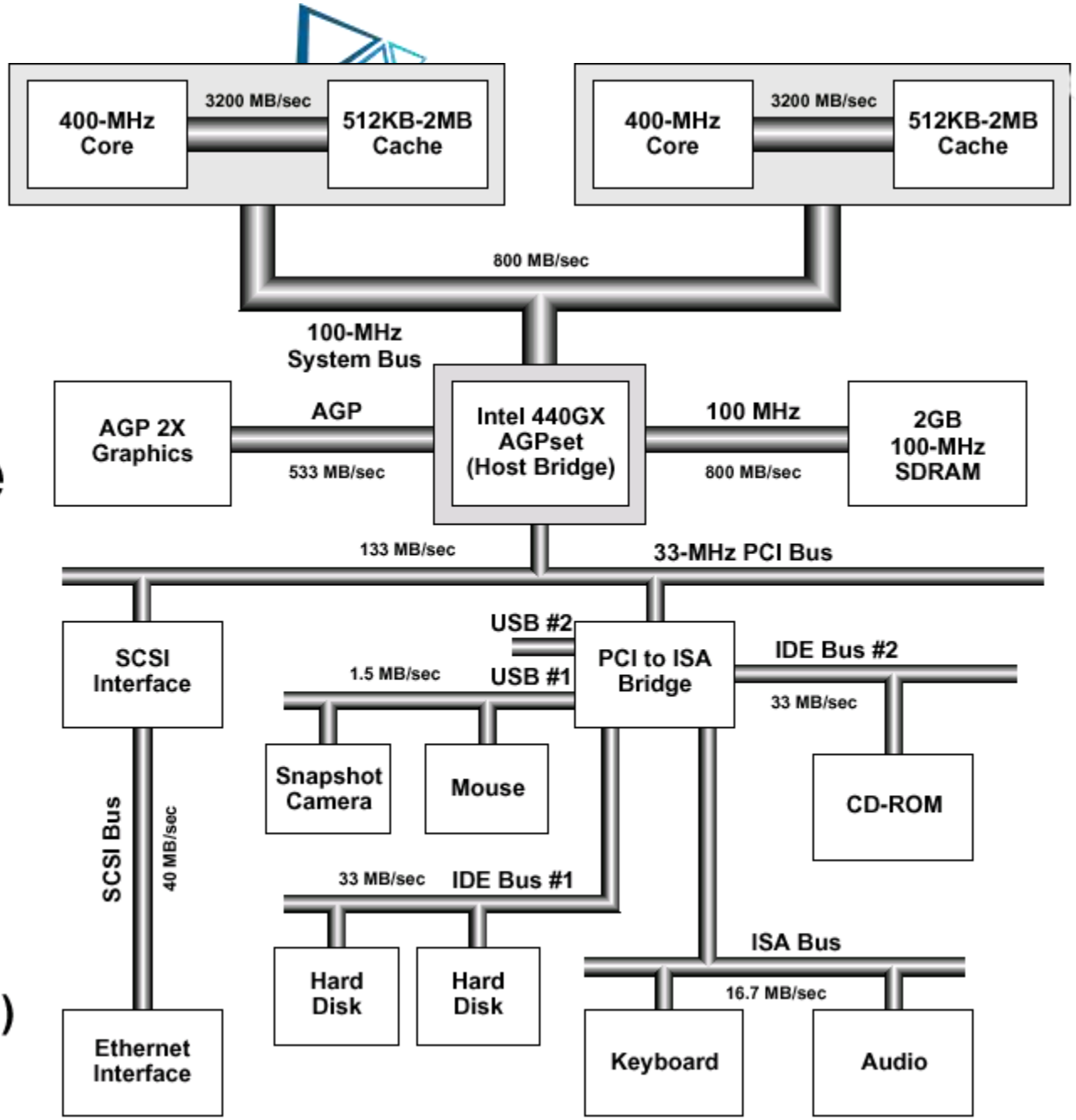
https://manarat.edu.sy/

باص عالي الأداء بنية الشرفة
Mezzanine Architecture

لعنونة أجهزة I/O عالية السرعة بتغيير البنية.



Bridge Based Bus Architecture

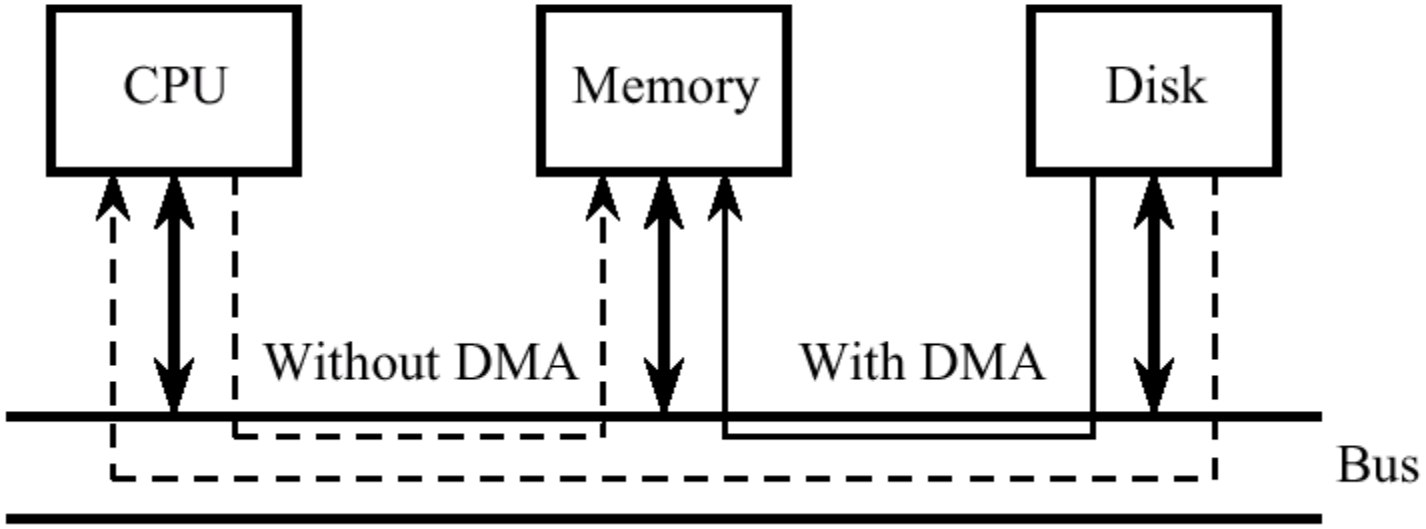


- Bridging with dual Pentium II Xeon processors on Slot 2.

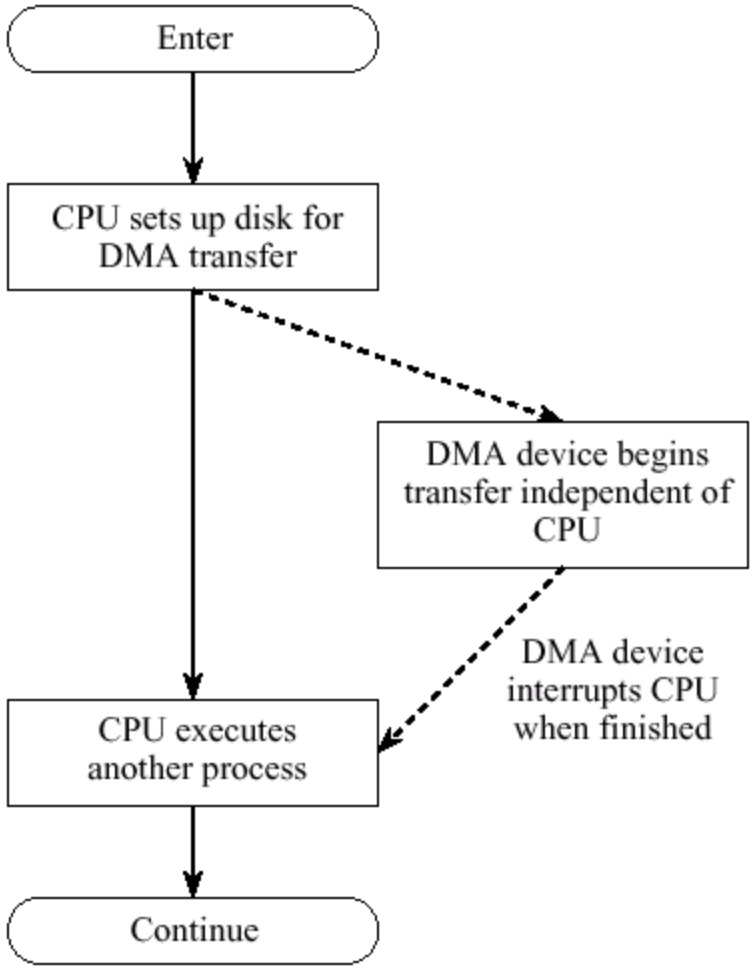
(Source: http://www.intel.com.)

النفاذ المباشر إلى الذاكرة
Direct Memory Access

DMA Transfer from Disk to Memory Bypasses the CPU



DMA Flowchart for a Disk Transfer



أنواع الباص Bus Types

- مخصص Dedicated
  - خطوط بيانات وعناوين مستقلة Separate data & address lines
- مزيج Multiplexed
  - خطوط مشتركة Shared lines
  - تأخذ بعين الاعتبار خطوط العناوين والبيانات المشتركة.
    - تحتاج إلى خطوط تحكم للمصادقة للبيانات و للعناوين.
    - تقسيم ومزج زمني.
  - الميزات : عدد خطوط أقل.
  - المساوئ Disadvantages
    - تحكم أكثر تعقيداً More complex control
    - تحديد (تحجيم) للأداء Ultimate performance

تحكيم أوتنظيم الباص Bus Arbitration

- قد يتنافس أكثر من نموذج على التحكم بالباص.
  - مثلاً: قد تحتاج نماذج I/O للتحكم بإرسال البيانات إلى الذاكرة والـCPU.
- إلاّ أنه لايسمح إلاّ لنموذج واحد بالتحكم بالباص في لحظة معينة.
  - يقرر المحكم من الذي سيستخدم الباص.
  - يجب أن يكون التحكيم سريعاً وإلاّ فإن أجهزة I/O قد تفقد بياناتها.
- يكون التحكيم مركزياً أو موزعاً centralized or distributed

التحكيم المركزي
Centralized Arbitration

- جهاز واحد مسؤول داراتياً عن تحديد السماحيات للنفاذ إلى الباص.
  - متحكم الباص Bus Controller
  - المحكّم Arbiter
- قد يكون جزءاً من الـ CPU أو مستقلاً.

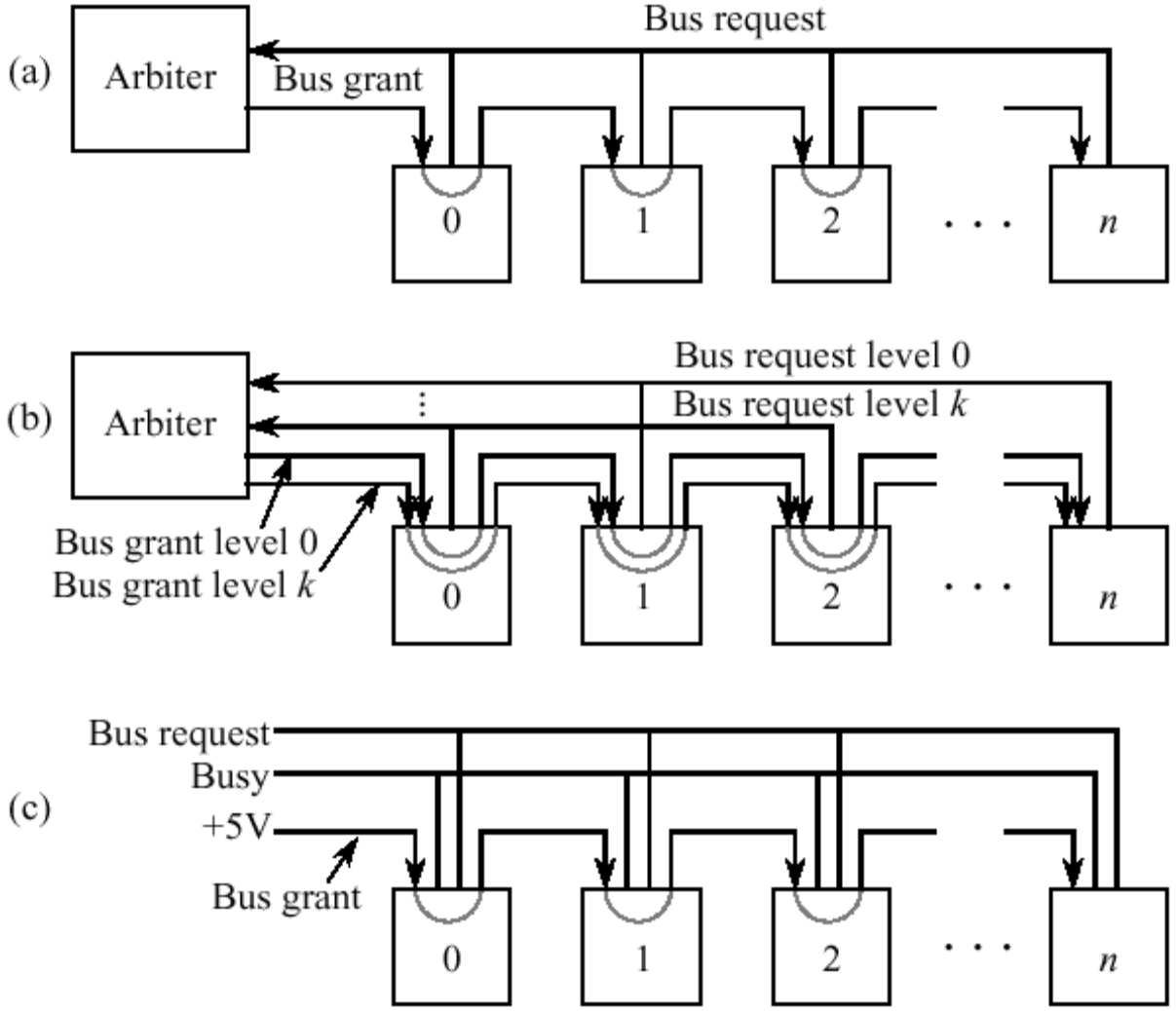
التحكيم الموزع Distributed Arbitration

- لايوجد محكم منفرد No single arbiter
- يقوم كل نموذج بطلب الباص
- تقوم مجموعة منطقية مناسبة بالتحكم بالتوزيع على جميع النماذج التي تتشارك الباص.
- هدف التحكيم المركزي والموزع هو تحديد السيد master.
- مستقبل البيانات المتبادلة هو التابع slave.

- هنالك العديد من خوارزميات التحكيم مثل round-robin و الأولويات priority....إلخ.

Bus Arbitration

- (a)Simple centralized bus arbitration; (b) centralized arbitration with priority levels; (c) decentralized bus arbitration. (Adapted from [Tanenbaum, 1999]).



Daisy Chaining of devices

What if a device breaks?

Devices to left higher priority

تطبيقات تحكيم الباص المركزي

- التحكيم المركزي Centralized
  - إذا أراد جهازٌ ما الباص يرسل طلباً assert bus request
  - يقرر المحكم فيما إذا كان عليه إرسال إشارة قبول الطلب bus grant.
  - يعمم قبول الطلب من خلال بث حلقي daisy-chain لجميع الأجهزة.
  - إذا أراد جهاز الحصول على خدمات الباص فإنه يستخدمه ولا يمرر إشارة قبول الطلب bus grant إلى بقية الوحدات وبخلاف ذلك فإنه يمرره إلى مايليه من الأجهزة.
  - كهربائياً كلما كان الجهاز أقرم من المحكّم كلما كانت له الأفضلية في الحصول على الخدمة.
- التحكيم المركزي بمستويات أفضلية مختلفة Centralized with Multiple Priority Levels
  - من خلال إضافة أكثر من درجة أفضلية وأكثر من إشارة قبول مما يجعل النظام أكثر مرونة. لايقوم المحكم بإرسال إشارة قبول الطلب bus grant إلاّ إلى الخط ذي الأولوية الأعلى.

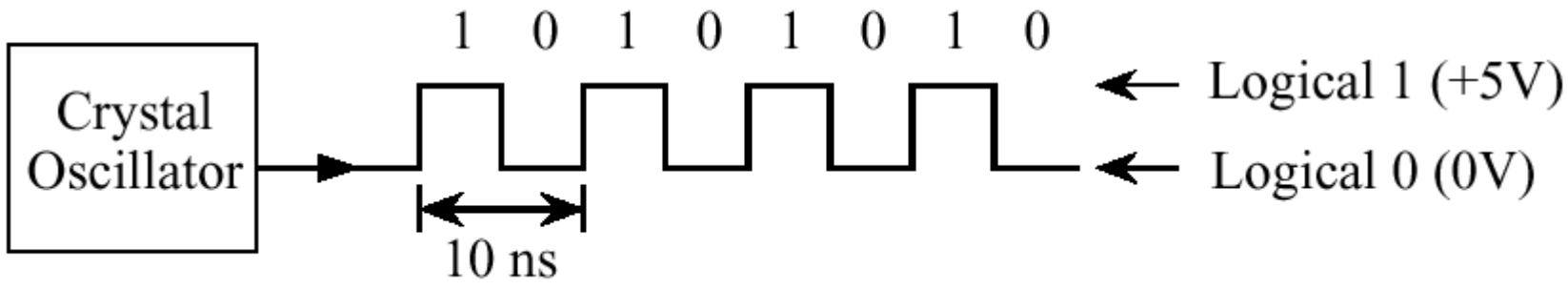
تطبيقات تحكيم الباص الموزع

- التحكيم الموزع Decentralized
  - إذا كنت لاتحتاج الباص مرر إشارة قبول طلب الباص إلى التالي.
  - للحصول على خدمات الباص تأكد من عدم مشغولية الباص وأرسل إشارة قبول الباص.
    - إذا كانت إشارة قبول الباص غير فعالة فلن يستطيع الجهاز أن يكون سيداً master ويمرر إشارة القبول إلى التالي.
    - إذا كانت إشارة القبول فعالة أرسل إشارة قبول سلبية إلى التالي.
  - فعندما ينجلي الغبار لن يكون سوى جهاز وحيد حاصل على القبول.
  - أكّد إشارة المشغولية busy وابدأ بالتراسل.
  - الجهاز التالي الذي يطلب بعدها االباص سوف يحصل عليه.

التزامن أو التوقيت Timing

- تنظيم ومواقتة الأحداث على الباص.
- المزامنة Synchronous
  - تحدد الأحداث بنبضات الساعة clock signals
  - خطوط نبضات الساعة جزء لايتجزأ من باص التحكم.
  - دورة الباص هي تتالي منفرد للواحد والصفر.
  - جميع الأجهزة تقرأ خطوط الساعة.
  - يحصل التزامن عادةً مع الجبهة الصاعدة.leading edge
  - عادة دورة واحدة للحدث.

100 MHz Bus Clock



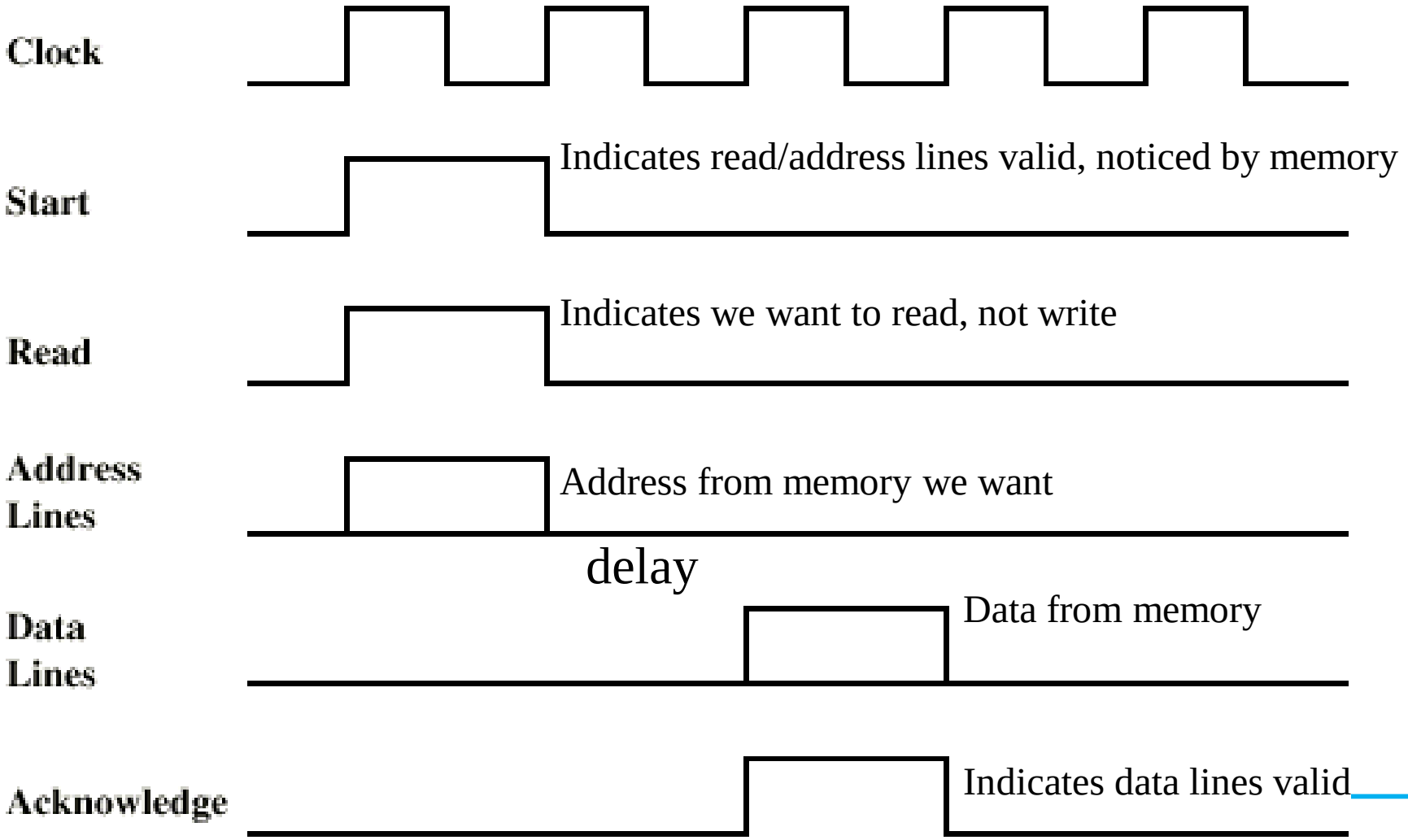
تعني 100 million cycles per second و

1 cycle in (1/100,000,000) seconds = 0.0000001s = 10 ns

في الحقيقة تقترب نبضات الساعة من شكل سن المنشارsawtoothed

مخطط التزامن الزمني

توقيت عملية القراءة Read Operation Timing



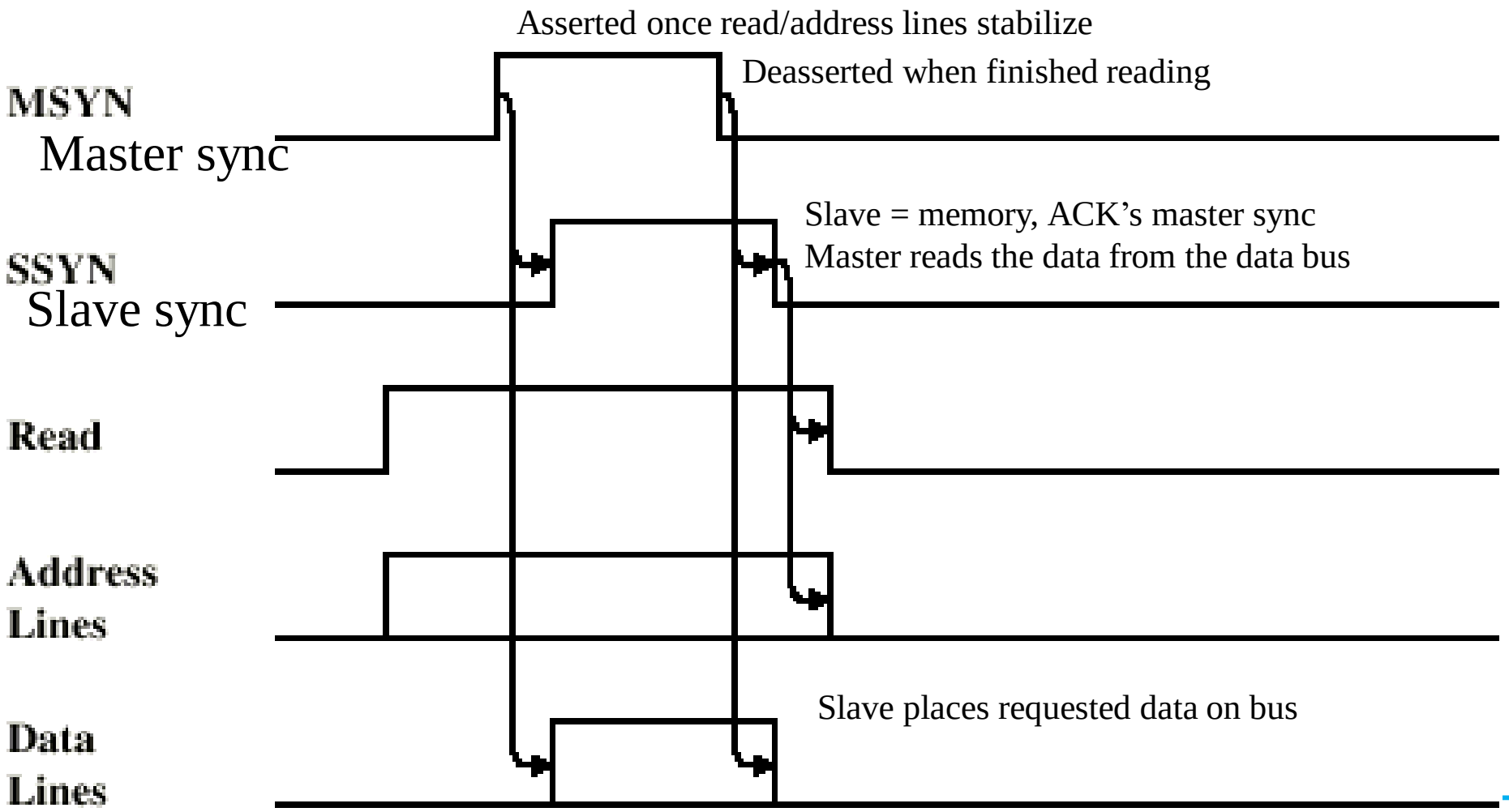
مساوئ التزامن
Synchronous - Disadvantages

- رغم بساطة نبضات ساعة التواقت فإن لها بعض المساوئ.
  - يتم إنجاز جميع العمليات بعدد صحيح من نبضات الساعة فإذا أنجزنا عملية بـ 3.1 cycles فإنها ستأخذ بالمجمل 4 cycles.
  - بوجود مجموعة غبر متجانسة من أجهزة سريعة وأخرى بطيئة فإنه يتوجب انتظار الجهاز الأبطأ
    - لاتستطيع الأجهزة السريعة أن تعمل بطاقتها العظمى فجميع الأجهزة مقيدة بالعمل بنسبة مبضات ساعة ثابتة محددة مسبقاً.
    - فأجهزة الذاكرة الأسرع من 10ns، لن تصل إلى سرعتها النهائية في ظل تردد ساعة من مرتبة 100Mhz clock.
- أحد الحلول هو باستخدام الباص غبر المتزامن asynchronous bus

الباص غير المتزامن
Asynchronous Bus

- لاتردد ساعة No clock
- يرتبط وقوع حدث على الباص بالأحداث السابقة واللاحقة.
- يحتاج ملاحقة الحالات بدقة وصعب كشف الأخطاء وإصلاحها إلاّ أنه يقدم أداء وإنجازية أعلى.

- يستخدم في عمليات التشبيك networking
  - تظهر المعوقات في انحراف وضياع التزامن.
  - وأحياناً يجري استخدام نظام ساعة خاص مثل شبكة الإثرنت Ethernet.

مخطط التوقيت غير المتزامن

Asynchronous Timing Diagram