

# تصميم النظم المنطقية باستخدام الدارات المنطقية المبرمجة

المحاضرة الثانية

د.م. خولة حموي  
khawla.hamwi@gmail.com

العام الدراسي: 2023-2024

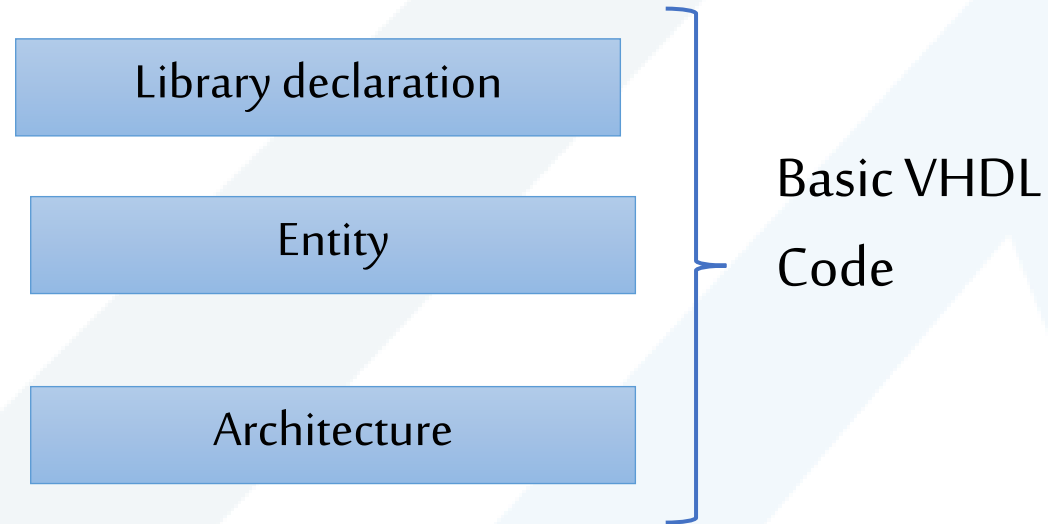
• بنية برنامج الـ VHDL

• المكتبات

• الكيان

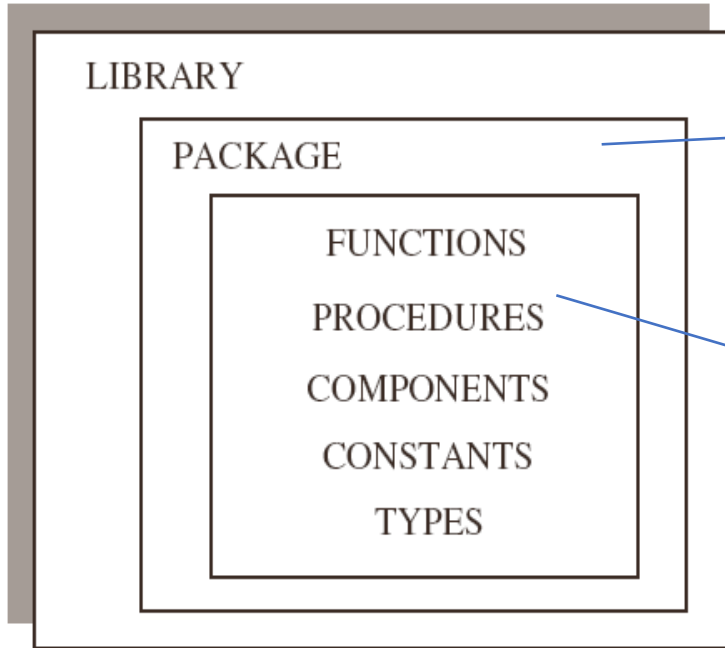
• البنين

1. المكتبات (Library): يحتوي على قائمة جميع المكتبات التي يجب استخدامها في التصميم. على سبيل المثال: `ieee, std, work`.
2. الكيان (Entity): يتم فيه تخصيص دخل / خرج (منافذ) الدارة المصممة.
3. البنيان (Architecture): يحتوي برنامج الدارة المصممة الذي يصف سلوك أو بنية الدارة.



## بنية برنامج VHDL: المكتبات

- باستخدام الكلمة المحجوزة **Library** يتم التصريح عن كامل المكتبات التي يمكن استخدامها في وصف النظام الرقمي.
- يوجد ثلاث مكتبات
  - ← **ieee**: غير مرئية بالنسبة للبرنامج لذلك لا بد من التصريح عنها
  - ← **std, work**: مرئية بالنسبة للبرنامج فلا حاجة للتصريح عنها



تتكون المكتبة من مجموعة من الحزم Packages

كل حزمة مكونة من مجموعة وظائف Functions، الإجراءات Procedures، العناصر Components،

الثوابت Constants وأنواع من بني المعطيات Types

• يتم التصريح عن المكتبة ضمن البرنامج الأساسي بالصيغة العامة التالية:

```
LIBRARY library_name;  
USE library_name.package_name.package_parts;
```

STD

أنواع البيانات  
(bit, bit vector, boolean,  
integer, real, natural, string,  
time,..)

work

نخزن فيها ملف التصميم بامتداد  
.vhd. بالإضافة إلى الملفات المولدة  
من قبل المحاكي

IEEE

الحزمة std\_logic\_1164  
الحزمة std\_logic\_arith  
الحزمة std\_logic\_signed  
الحزمة std\_logic\_unsigned

## بنية برنامج VHDL: المكتبات

- تحتوي المكتبة ieee على عدة حزم من أهمها:

1. **الحزمة std\_logic\_1164**: تتضمن نوع المعطيات std\_logic (8 مستويات للإشارة الرقمية) ونوع المعطيات std\_ulogic (9 مستويات رقمية)

2. **الحزمة std\_logic\_arith**: يحدد نوع المعطيات Signed أو Unsigned التي تتعلق بالعمليات الحسابية وعمليات المقارنة كما تحتوي هذه الحزمة على أنواع مختلفة من وظائف التحويل بين بني المعطيات

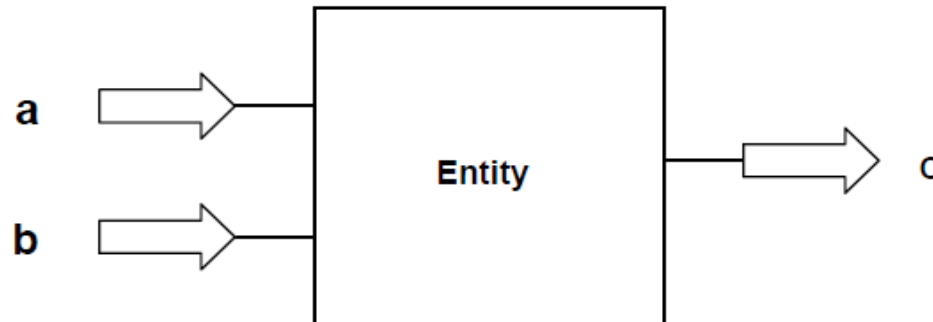
3. **الحزمة std\_logic\_signed**: تحتوي على مجموعة التوابع functions تسمح بالتعامل مع نوع المعطيات std\_logic\_vector التي تنفذ على المعطيات Signed.

4. **الحزمة std\_logic\_unsigned**: تحتوي على مجموعة من التوابع functions تسمح بالتعامل مع نوع المعطيات std\_logic\_vector التي تنفذ على المعطيات unsigned

- ضمن كيان البرنامج Entity يتم تعيين منافذ النظام الخارجية كمنافذ الدخل والخرج والشكل العام لكتابة الكيان على النحو

التالي:

```
ENTITY entity_name IS  
  PORT (  
    port_name : signal_mode signal_type;  
    port_name : signal_mode signal_type;  
    ...);  
END entity_name;
```



## بنية برنامج VHDL: الكيان

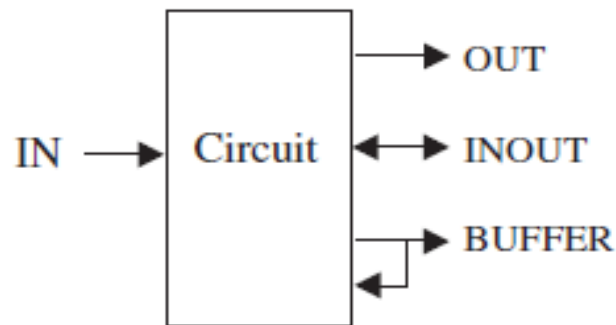
1. Entity\_name يتضمن اسم الكيان المراد نمذجته أو تصميمه ويفضل استخدام اسم يدل على عمل النظام (يجب ألا يحوي على فراغات)

2. Port\_name يحدد من خلاله اسم المنفذ

```
ENTITY entity_name IS
  PORT (
    port_name : signal_mode signal_type;
    port_name : signal_mode signal_type;
    ...);
END entity_name;
```

3. Signal\_mode يحدد نوع المنافذ المستخدمة:

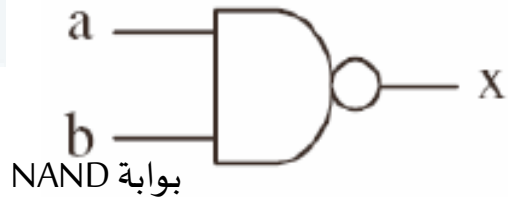
- IN إشارات دخل النظام
- OUT إشارات خرج النظام
- INOUT إشارات ثنائية الاتجاه (دخل/خرج)
- BUFFERD يستخدم في قراءة إشارات الخرج داخلياً



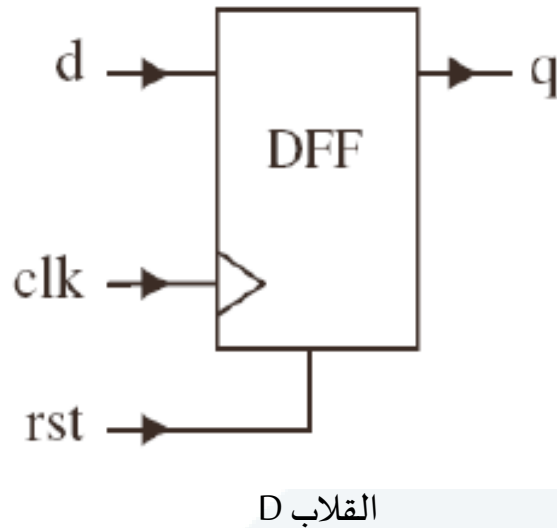
4. Signal\_type يحدد نوع المعطيات الخاص بالإشارات مثل (Bit, Std\_logic, Std\_logic\_vector)



## أمثلة:



```
ENTITY nand_gate IS
    PORT (a, b : IN BIT;
          x : OUT BIT);
END nand_gate;
```



```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
-----
ENTITY dff IS
    PORT ( d, clk, rst: IN STD_LOGIC;
          q: OUT STD_LOGIC);
END dff;
```

## بنية برنامج VHDL: البنين

- يحتوي البنين Architecture على الشيفرة المكتوبة بلغة VHDL التي تصف عمل أو وظيفة أو بنية النظام. والصيغة العامة للبنين على النحو التالي:

```
ARCHITECTURE architecture_name OF entity_name IS  
    [declarations]  
BEGIN  
    (code)  
END architecture_name;
```

- يتضمن البنين جزأين:

1. قسم اختياري وهو قسم التصريحات الخاصة بالبنين (declarations) كالتصريح عن الإشارات والمتغيرات والثوابت
2. الشيفرة (Code) التي تصف عمل أو وظيفة أو بنية البيان بحيث يبدأ بكلمة BEGIN وينتهي بكلمة END.

- يجب ربط البنين بالكيان من خلال الكلمة المحجوزة OF مع ذكر اسم الكيان

- يمكن اختيار اسم البنين بصورة كيفية بشرط أن لا يكون كلمة محجوزة في لغة VHDL

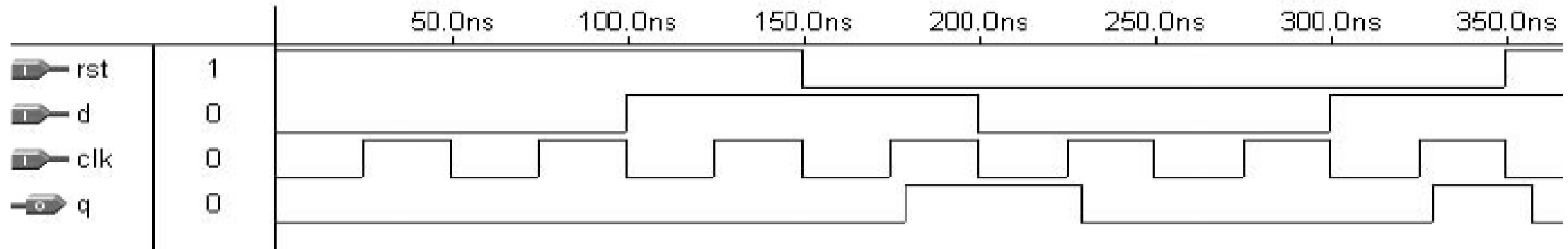
- يتم اختيار اسم البنين بحيث يعبر عن طبيعة النظام الرقمي الموضوع بلغة VHDL

```

ARCHITECTURE behavior OF dff IS
BEGIN
  PROCESS (rst, clk)
  BEGIN
    IF (rst='1') THEN
      q <= '0';
    ELSIF (clk'EVENT AND clk='1') THEN
      q <= d;
    END IF;
  END PROCESS;
END behavior;

```

*DFF with asynchronous reset*



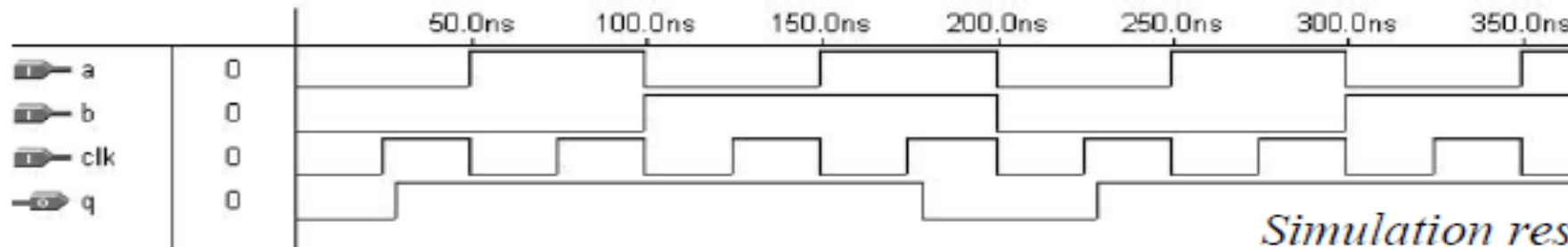
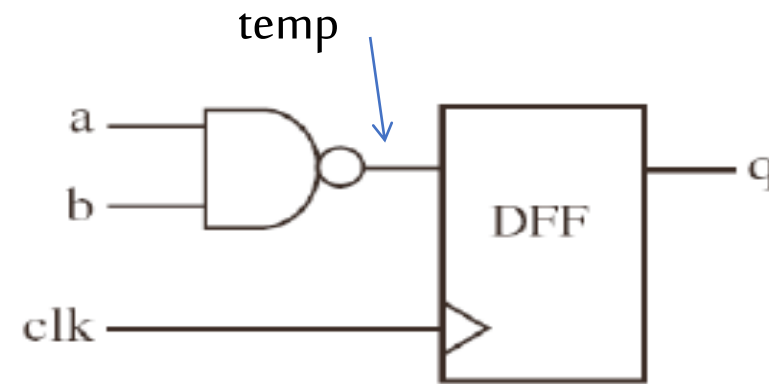
## *DFF plus NAND gate*

أمثلة:

```

1 -----
2 ENTITY example IS
3     PORT ( a, b, clk: IN BIT;
4           q: OUT BIT);
5 END example;
6 -----
7 ARCHITECTURE example OF example IS
8     SIGNAL temp : BIT; ←
9 BEGIN
10    temp <= a NAND b;
11    PROCESS (clk)
12    BEGIN
13        IF (clk'EVENT AND clk='1') THEN q<=temp;
14        END IF;
15    END PROCESS;
16 END example;
17 -----

```



*Simulation results*