جامعة المنارة

كلية الهندسة

هندسة معلوماتية

الدارات الرقمية

Digital Circuits CECC323

مدرسة المقرر

د. بشرى علي معلا

CHAPTER FIVE

الدارات المنطقية الترابطية

Combinational Logic Circuits

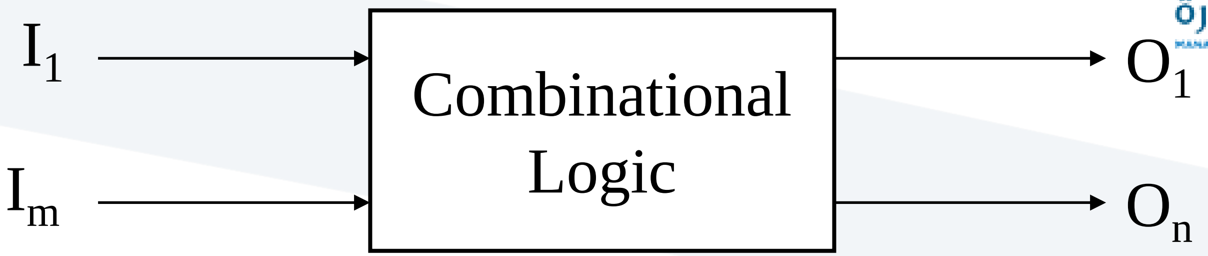
✓الغاية من المحاضرة الخامسة :

❖ التعرف على الدارات المنطقية الترابطية:

- دارة الجامع (ADDER)
- دارة الطارح
- دارة الطارح/جامع

الدارات المنطقية الترابطية

- **تعريفها:** دارات منطقية فيها الخرج هو تابع للدخل فقط.
  - لها إشارة دخل رقمية واحدة أو عدة إشارات
  - لها إشارة خرج رقمية واحدة أو عدة إشارات
  - لا يوجد تغذية عكسية (no feedback)



$$O_1(t+\Delta t)=F_1(I_1(t),\ldots I_m(t))$$

.

- عند تغيير الدخل يمكن أن يتغير الخرج بعد تأخير زمني

أمثلة على الدارات المنطقية الترابطية

- دارات الجامع الثنائي:

دارات منطقية تجمع الأعداد الممثلة في الصورة الثنائية.

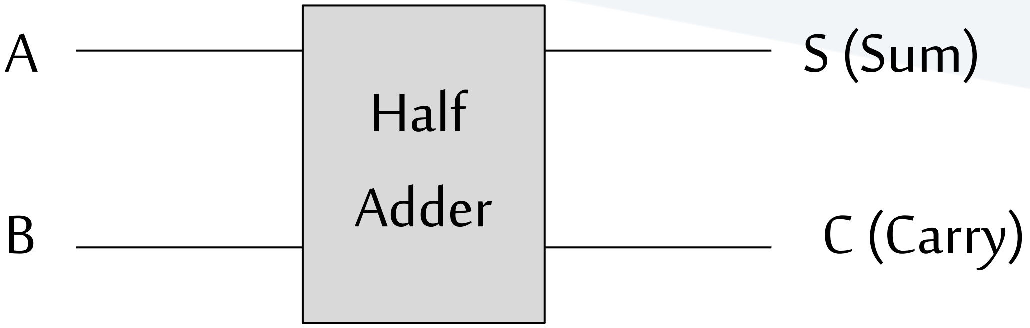
لها نوعين:

- دارة نصف الجامع(HA (Half Adder))
- دارة جامع كامل((FA(Full Adder)

HA (Half Adder) دارة نصف الجامع

➢ تعريفها:

دارة منطقية تجمع خانتين ثنائيتين إلى بعضهما البعض .
تعطي حاصل الجمع (sum)و الحامل (carry).



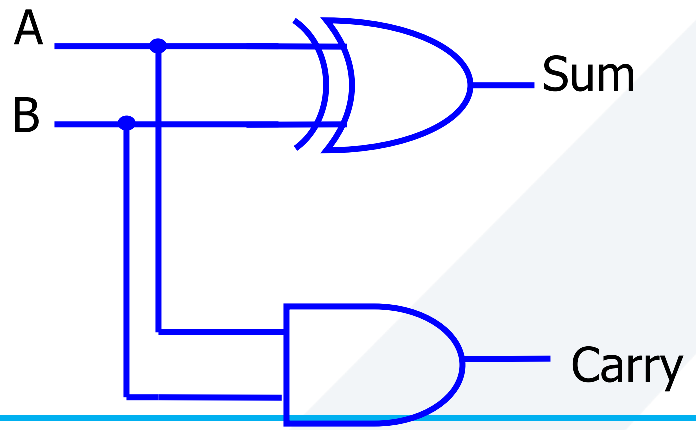
➢ اعتماداً على جدول الحقيقة يكون:

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \overline{A}B + A\overline{B} = A \oplus B$$

$$C = AB$$

➢ يمكن رسم الدارة المنطقية لهذا الجامع بالشكل:

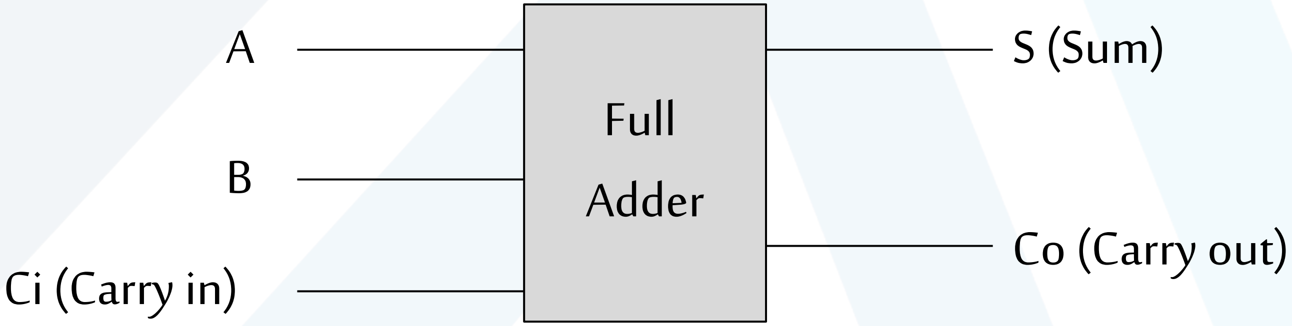


دارة الجامع الكامل(FA (Full Adder

A	B	Ci	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

➢ تعريفها:

تتشابه مع دارة نصف الجامع بأنها تجمع وتوجد كل من المجموع (Sum) و الحمل الخارج (carry out) لكن لها دخل ثالث هو حمل داخل (carry in).



دارة الجامع الكامل FA (Full Adder)

A	B	Ci	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- اعتماداً على جدول الحقيقة يكون:

$$C_O = \bar{A}\,B C_i + A\bar{B}\,C_i + A\,B\bar{C_i} + ABC_i$$

$$C_O = (\bar{A}\,B + A\bar{B})C_i + A\,B(\bar{C_i} + C_i)$$

$$\boxed{C_O = (A \oplus B)C_i + A\,B}$$

دارة الجامع الكامل FA (Full Adder)

A	B	Ci	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = \bar{A}\bar{B}C_i + \bar{A}B\overline{C_i} + A\bar{B}\,\bar{C}_i + ABC_i$$

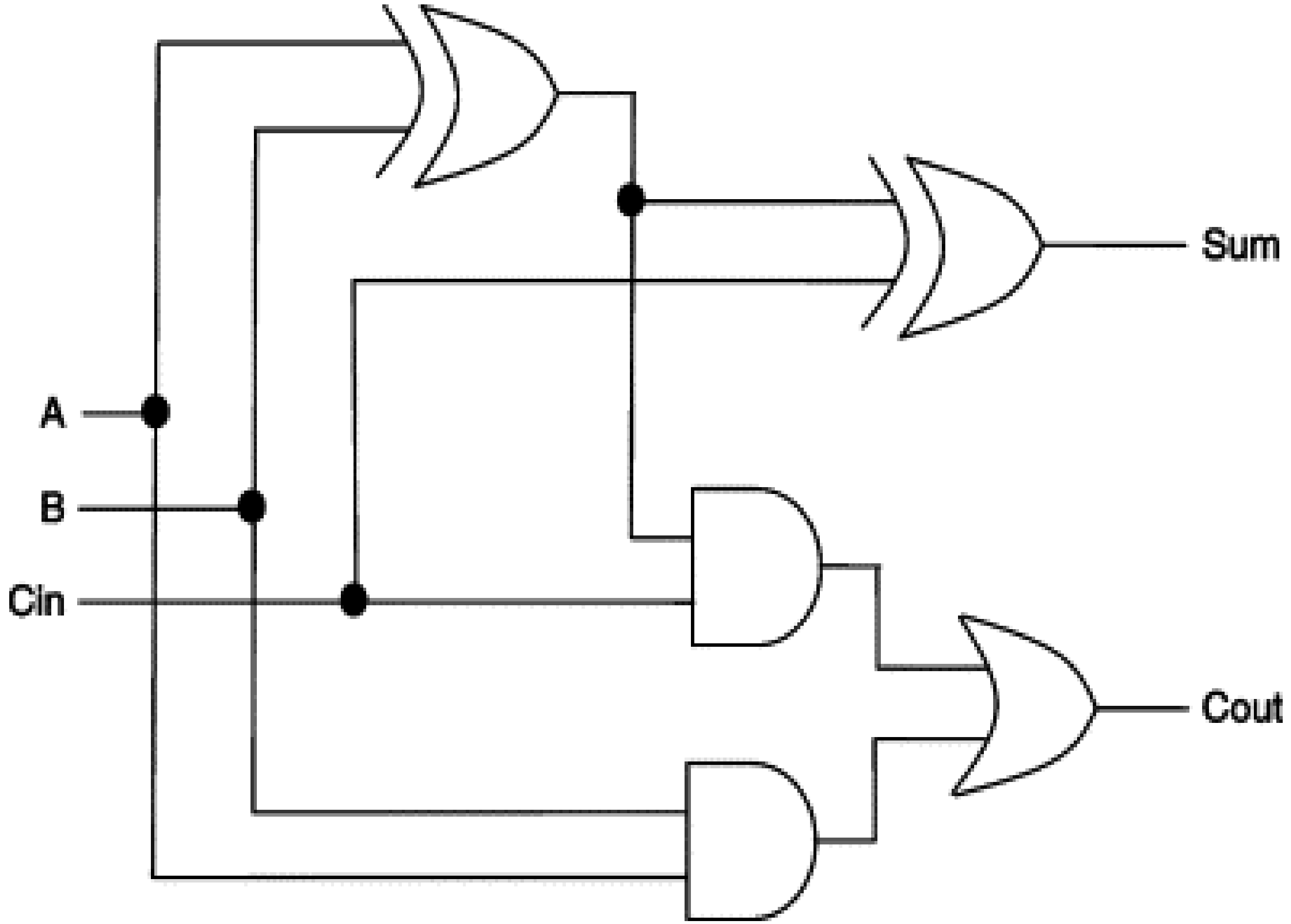
$$\Rightarrow S = \left(\bar{A}\bar{B} + AB\right)C_i + \left(\bar{A}B + A\bar{B}\right)\overline{C_i}$$

$$\Longrightarrow S = \overline{(A \oplus B)}C_i + (A \oplus B)\bar{C}_i$$

$$\Longrightarrow S = \bar{X}C_i + X\bar{C}_i$$

$$\boxed{\Longrightarrow S = X \oplus C_i}$$

FA (Full Adder)دارة الجامع الكامل

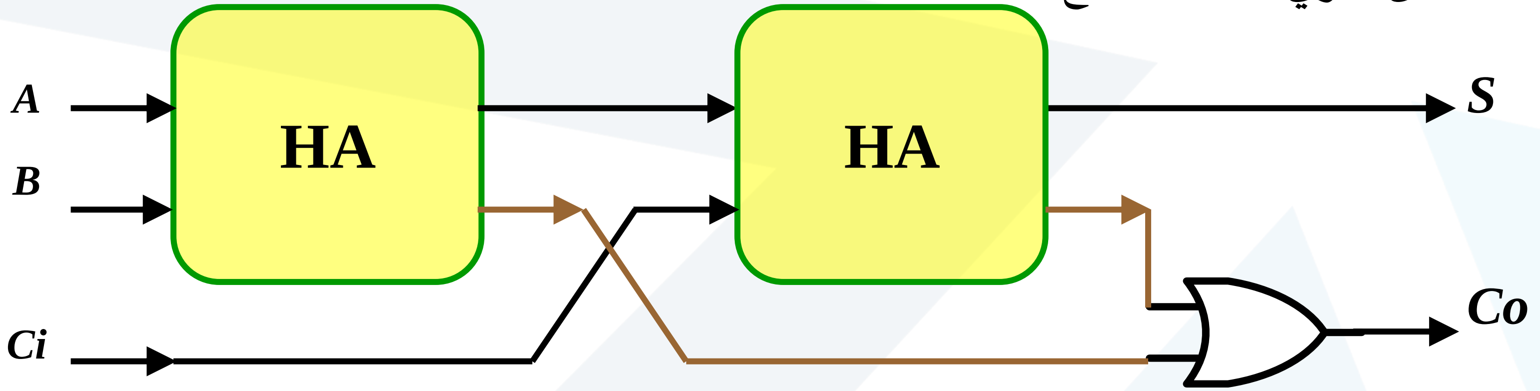


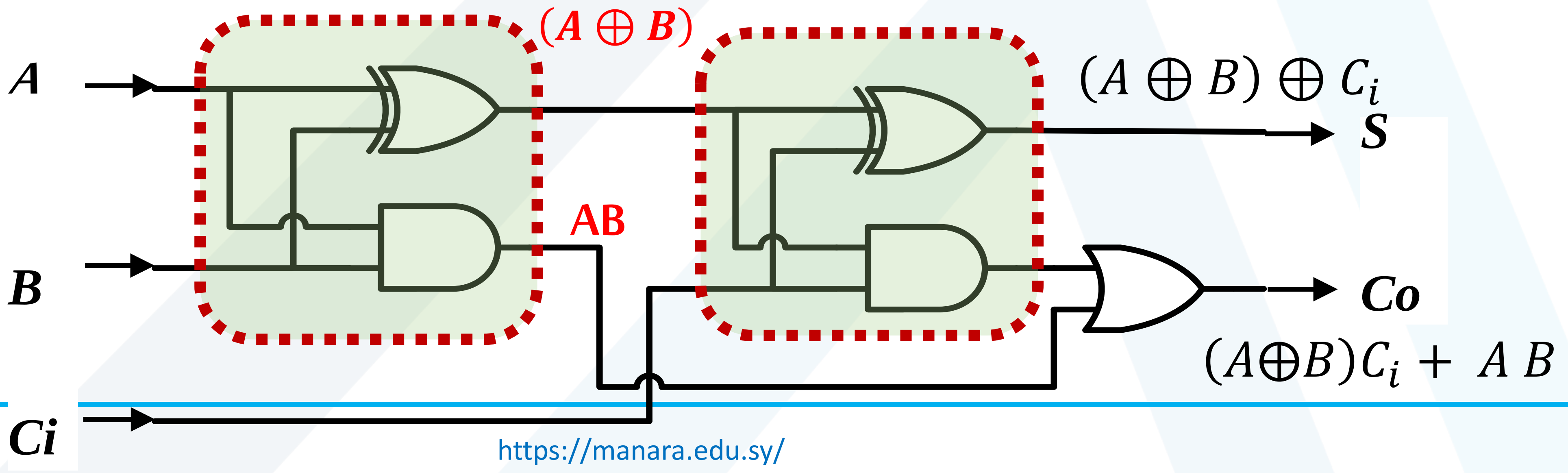
$$(A \oplus B) \oplus C_i$$

$$(A \oplus B) C_i + A\,B$$

دارة الجامع الكامل FA (Full Adder)

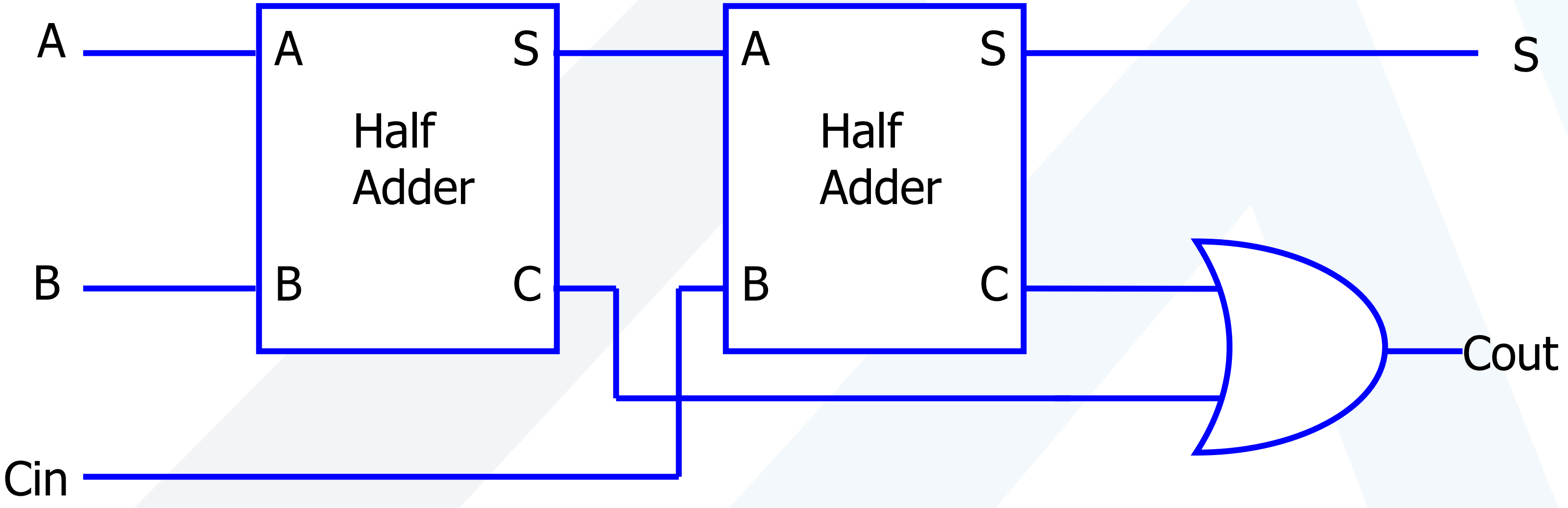
➢ يمكن بناء دارة الجامع الكامل من دارتي نصف جامع





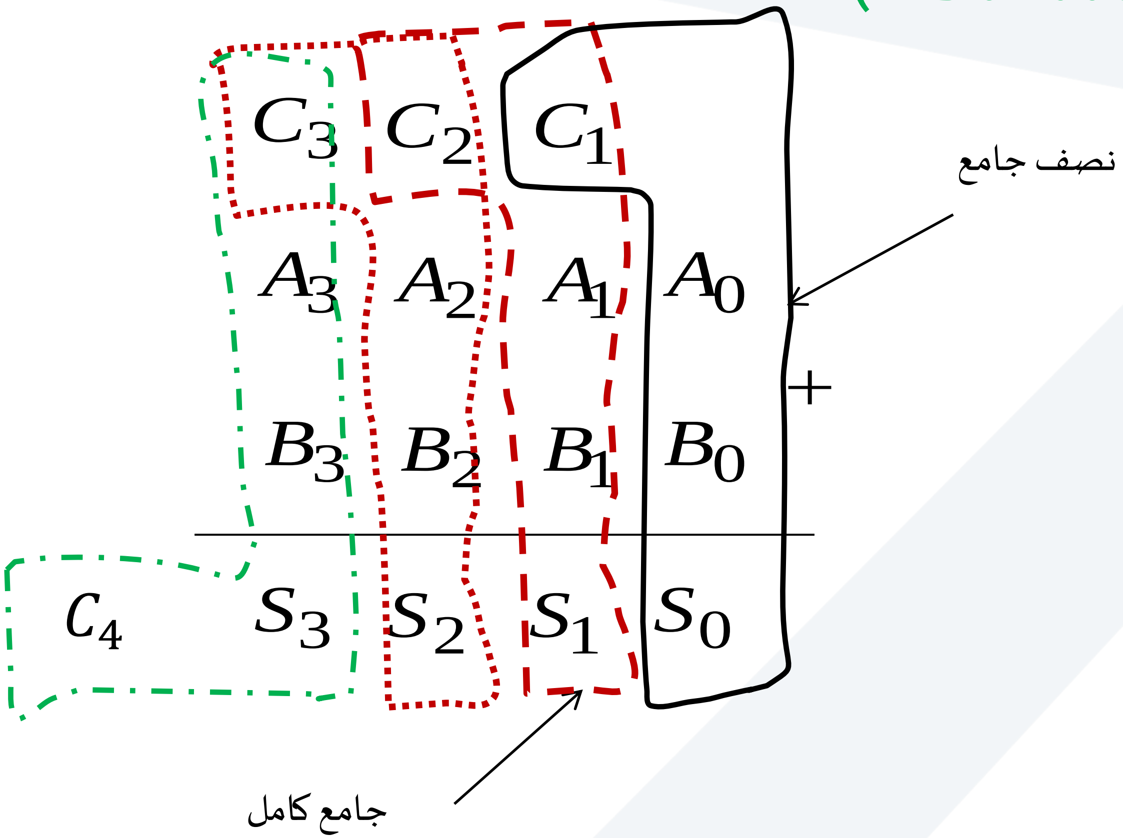
دارة الجامع الكامل FA (Full Adder)

➢ يمكن تمثيل دارة الجامع الكامل من دارتي نصف جامع كما يلي:



دارة الجامع متعدد الخانات (Multi-Bit Adder)

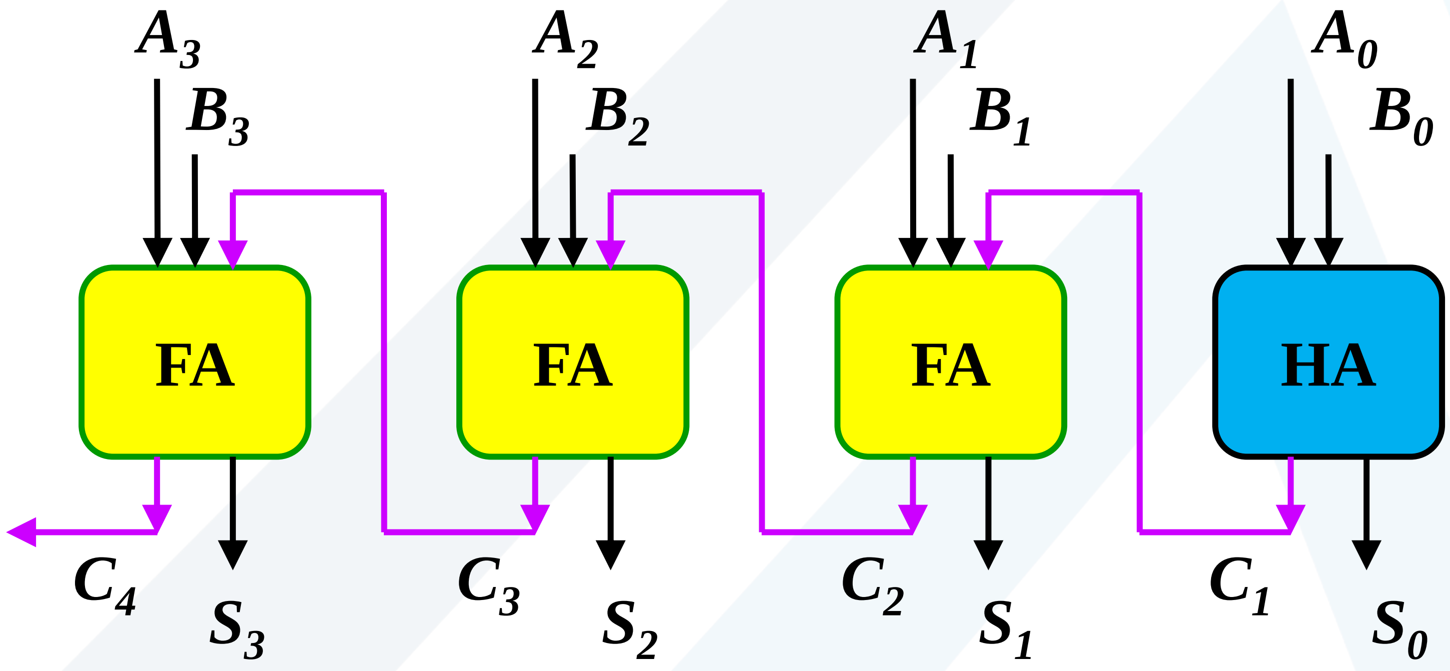
المطلوب تصميم دارة منطقية تجمع عددين مكونين من ٤ خانات (4 -Bit Adder)



ملاحظة: نبدأ دائما بالخانة الأقل أهمية LSB

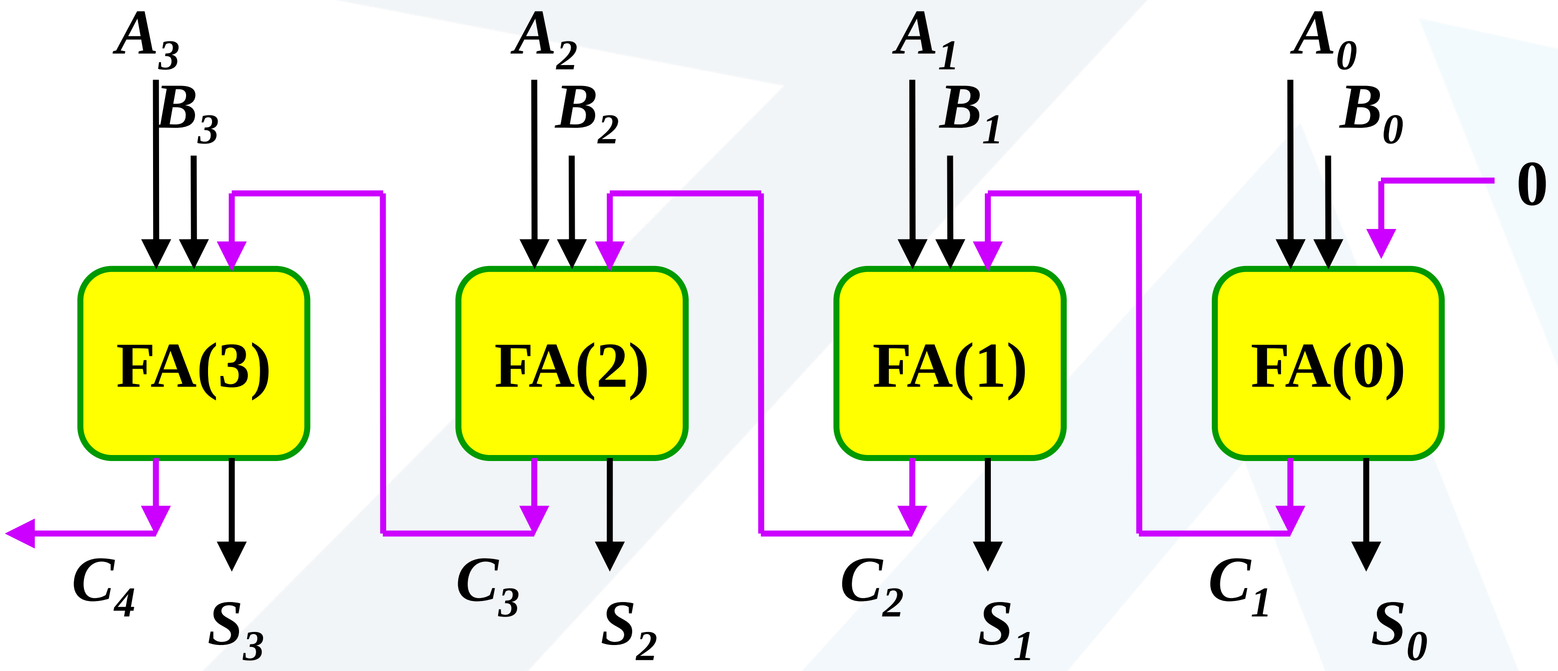
دارة الجامع متعدد الخانات (Multi-Bit Adder)

المطلوب تصميم دارة منطقية تجمع عددين مكونين من ٤ خانات (4 -Bit Adder)



دارة الجامع متعدد الخانات (Multi-Bit Adder)

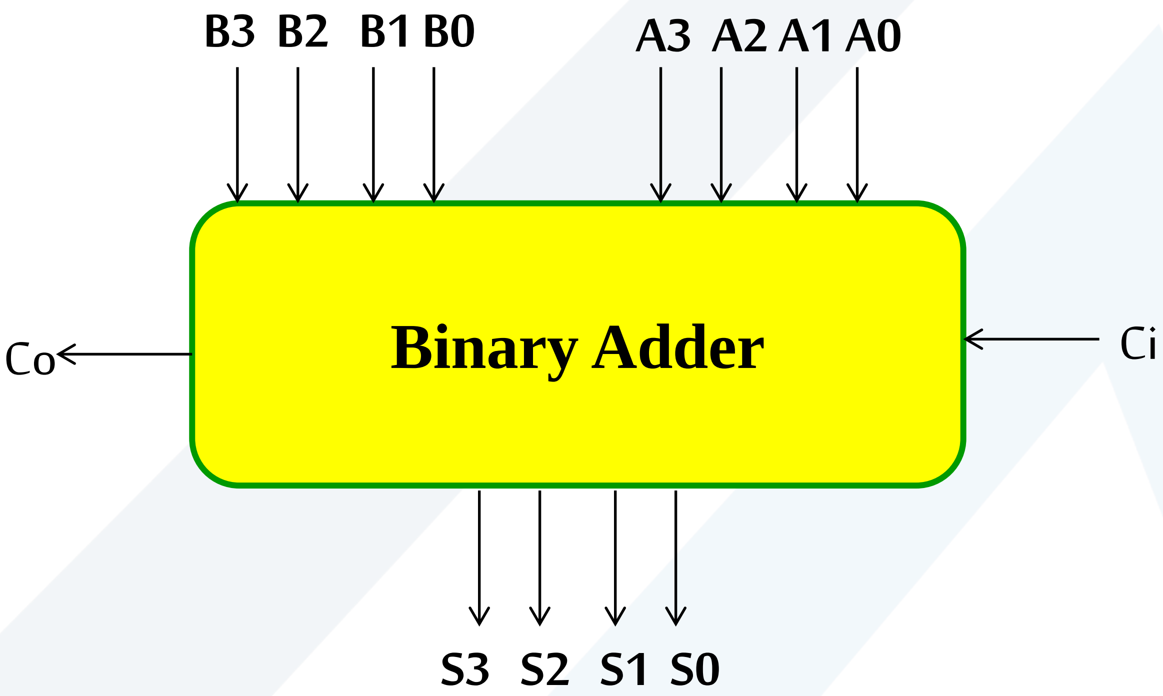
المطلوب تصميم دارة منطقية تجمع عددين مكونين من ٤ خانات (4 -Bit Adder)



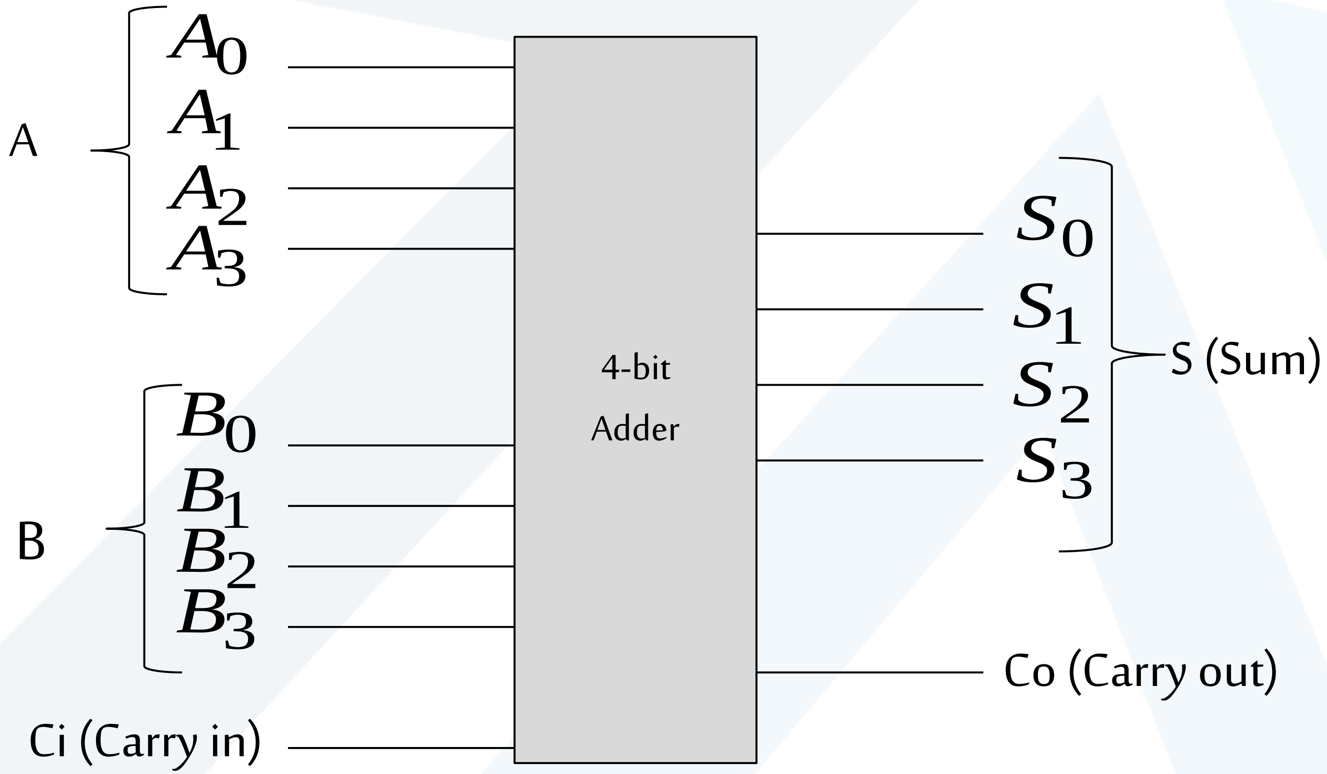
باستخدام دارات جامع كامل فقط

دارة الجامع متعدد الخانات (Multi-Bit Adder)

المطلوب تصميم دارة منطقية تجمع عددين مكونيين من ٤ خانات (4 -Bit Adder)



دارة الجامع متعدد الخانات (Multi-Bit Adder)



ربط الجوامع

من خلال المثال السابق:

- نلاحظ أن لهذه الدارة 9 مداخل و هذا أمر غاية في التعقيد في عملية التصميم حيث نحتاج إلى 512 سطرفي جدول الحقيقة مثلاً .

- حل هذا التعقيد عن طريق تقسيم الدارة الكبيرة إلى عدة وحدات صغيرة (جوامع كاملة) و من ثم **ربطها مع بعضها** بحيث تؤدي وظيفة الدارة الكبيرة.

- أي يمكن ربط وحدات جامع صغيرة للبناء جامع أكبر

- مثلاً يمكن ربط وحدتي جامع 4 خانات للحصول على جامع ثماني خانات

ربط الجوامع

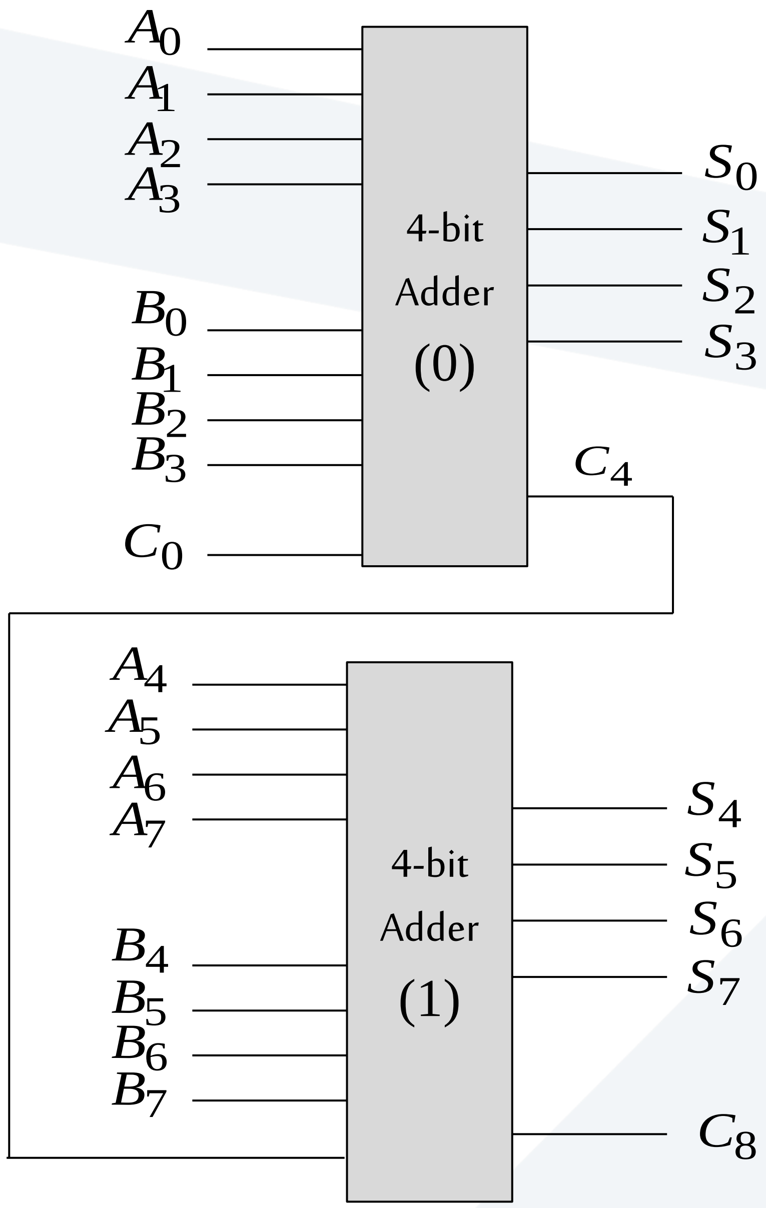
- تصميم جامع بـ 8 خانات من خلال ربط وحدتي جامع كامل ٤ خانات :

$$
\begin{array}{ccccc}
 & A_7 & A_6 & A_5 & A_4 \\
 & B_7 & B_6 & B_5 & B_4 & + \\
\hline
C_8 & S_7 & S_6 & S_5 & S_4
\end{array}
\qquad\qquad
\begin{array}{ccccc}
 & & & & C_0 \\
 & A_3 & A_2 & A_1 & A_0 \\
 & B_3 & B_2 & B_1 & B_0 & + \\
\hline
C_4 & S_3 & S_2 & S_1 & S_0
\end{array}
$$

الوحدة الثانية — الوحدة الأولى

تصميم جامع بـ 8 خانات

من خلال ربط وحدتي جامع كامل ٤ خانات :



دارة الطارح الثنائي Subtracter (١/٢)

- يعتمد بناء الدارة اعتماداً على دارة الجامع و المتمم الثاني حيث الطرح هو :

$$A - B = A + (-B) = A + \overline{B} + 1$$

- إذ أن –B هو $\overline{B}$ و نحصل عليه من خلال حساب المتمم الثاني اعتماداً على المتمم الأول أي من خلال عكس خانات B و من ثم إضافة ١

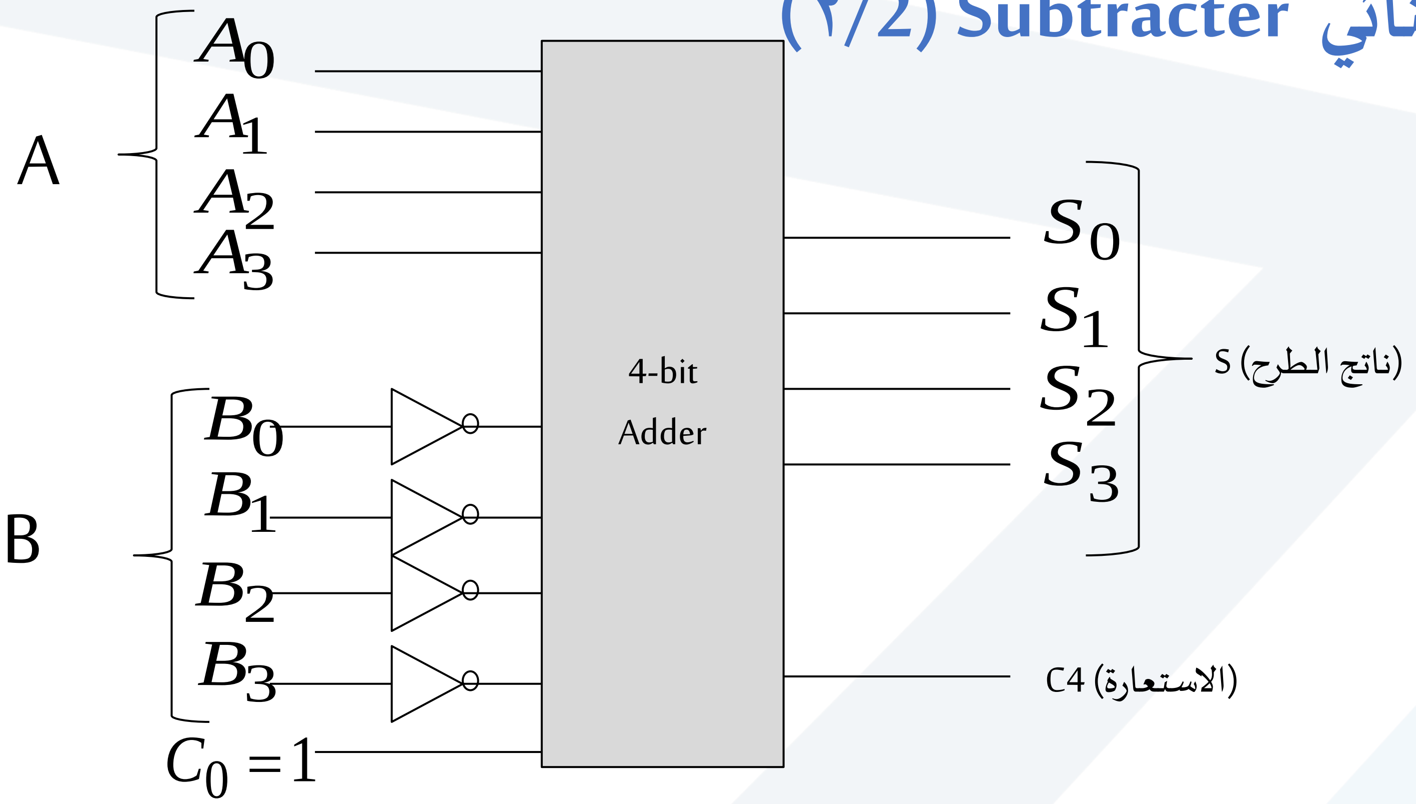
- من ثم تحول العملية كلها إلى عملية جمع:

$$\begin{array}{ccccc} & & & & 1 \\ & A_3 & A_2 & A_1 & A_0 \\ + & \overline{B_3} & \overline{B_2} & \overline{B_1} & \overline{B_0} \\ \hline C_4 & S_3 & S_2 & S_1 & S_0 \end{array}$$

دارة الطارح الثنائي Subtracter (٢/2)

➢تصميم طارح بـ 4 خانات

باستخدام جامع كامل ٤ خانات :



دارة طارح لحساب A-B فقط

ملاحظة: تمثل C4=1 حدوث عملية استلاف من الخانة التالية للخانة العلياMSB . يحدث هذا الاستلاف إذا كان B>A (المطروح أكبر من المطروح منه) أي ناتج الطرح **سالب** أي تحدد قيمة C4 إشارة الناتج

دارة الطارح الثنائي/الجامع

➢لجعل الدارة أكثر مرونة بحيث تكون قادرة على حساب A-B وB-A و A+B يستخدم ما يسمى العاكس المنطقي المتحكم به بدلاً من العاكس العادي.

➢العاكس المنطقي المتحكم به controlled Logical Inverter:

❖يعكس القيمة عندما تكون قيمة خط التحكم=1

❖يمرر القيمة دون عكس عندما قيمة خط التحكم=0

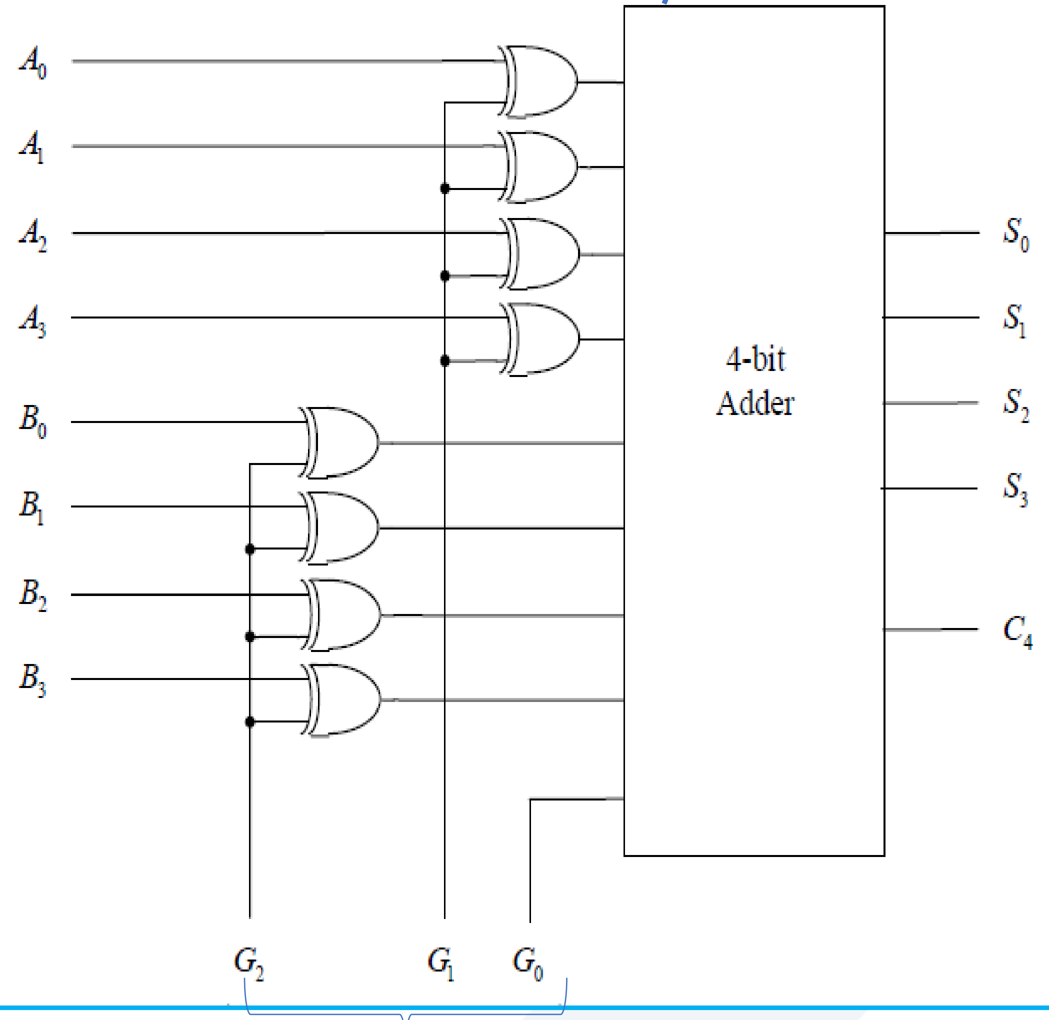
تمرير القيمة

عكس القيمة

G:خط التحكم

➢الهدف من استخدام خطوط التحكم : التحكم بالعكس المنطقي أو عدمه و ذلك حسب الحاجة

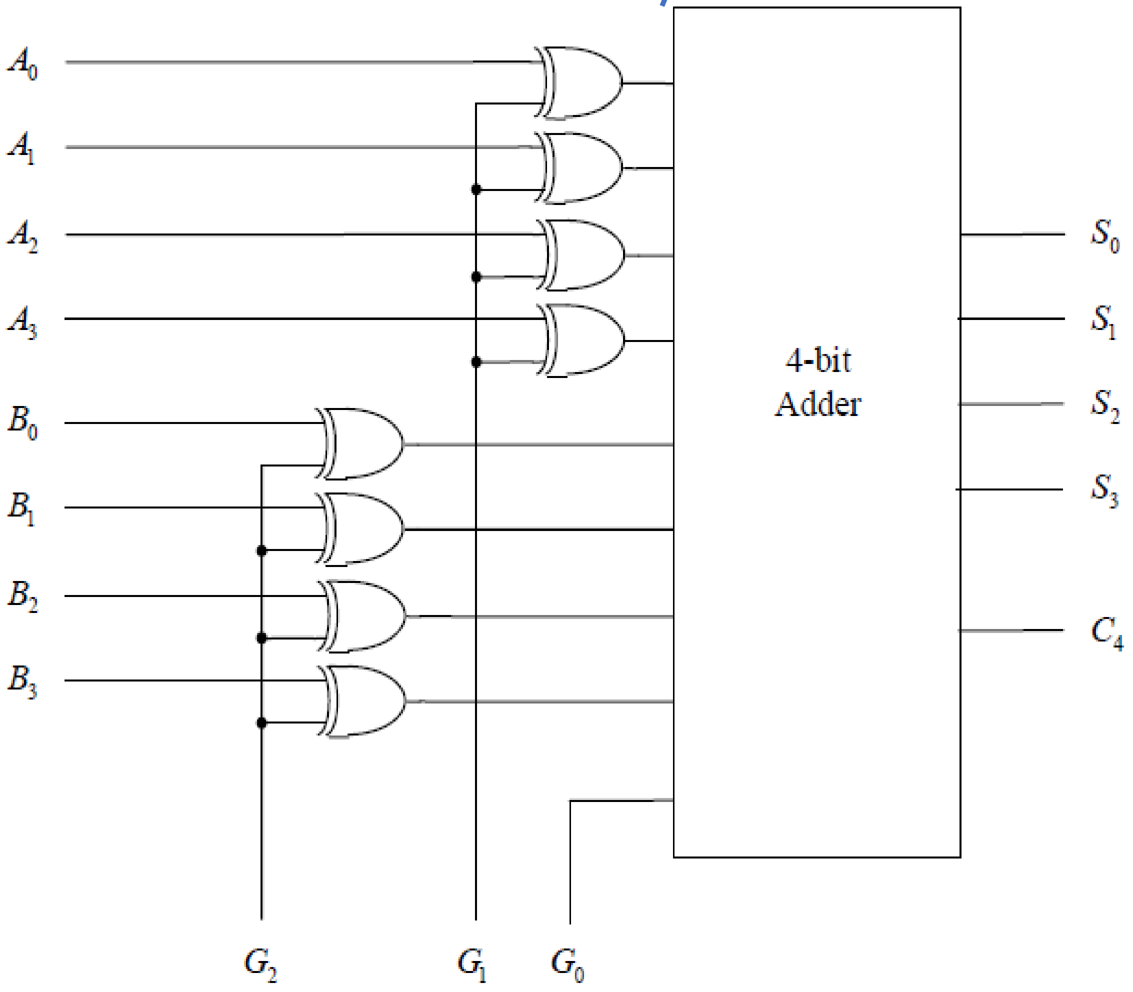
دارة الطارح الثنائي / الجامع ذي الأربع خانات 4- bit Adder/Subtracter



خطوط التحكم

- تجرى العملية المطلوبة من خلال وضع قيمة مناسبة لخطوط التحكم
- أي حسب قيم G0,G1,G2
- G0 : هو الحمل الداخل للجامع 4-Bit
  G0=1 عند حساب المتمم الثاني
- G1 : للتحكم بعكس أو عدم عكس A
- G2 : للتحكم بعكس أو عدم عكس B

دارة الطارح الثنائي/ الجامع ذي الأربع خانات 4- bit Adder/Subtracter



إشارات التحكم			العملية
G2	G1	G0	
1	0	1	A-B
0	1	1	B-A
0	0	0	A+B

دارة طارح/جامع بـ4 خانات

وحدة الحساب (Arithmetic Unite) (1/6)

G2	G1	G0	العملية
0	0	0	A+B
0	0	1	A+B+1
0	1	0	B-A-1
0	1	1	B-A
1	0	0	A-B-1
1	0	1	A-B
1	1	0	-A-B-2
1	1	1	-A-B-1

- يمكن الاستفادة من دارة طارح/جامع ذي الأربع الخانات للقيام بعمليات أخرى
- إذا أردنا إنشاء جدول الحقيقة لثلاث خانات سيكون لدينا الاحتمالات الآتية

$$2^3 = 8$$

وحدة الحساب (Arithmetic Unite) (2/6)

➢اعتماداً على الجدول السابق يمكن الحصول على عدة عمليات من خلال **تصفير أحدالعددين A أو B**:

G2	G1	G0	العملية
0	0	0	A+B
0	0	1	A+B+1
0	1	0	B-A-1
0	1	1	B-A
1	0	0	A-B-1
1	0	1	A-B
1	1	0	-A-B-2
1	1	1	-A-B-1

دارة طارح/جامع ذي الأربع خانات

➢تصفير A يعطي عملية زيادة B

تصبح B+1 و هي تقابل ++B

➢تصفير B يعطي عملية زيادة A

تصبح A+1 و هي تقابل ++A

➢تصفير B يعطي عملية تناقص A

تصبح A-1 و هي تقابل - - A

وحدة الحساب (Arithmetic Unite) (3/6)

➢ اعتماداً على الجدول السابق يمكن الحصول على عدة عمليات من خلال تصفير أحدالعددين A أو B:

G2	G1	G0	العملية
0	0	0	A+B
0	0	1	A+B+1
0	1	0	B-A-1
0	1	1	B-A
1	0	0	A-B-1
1	0	1	A-B
1	1	0	-A-B-2
1	1	1	-A-B-1

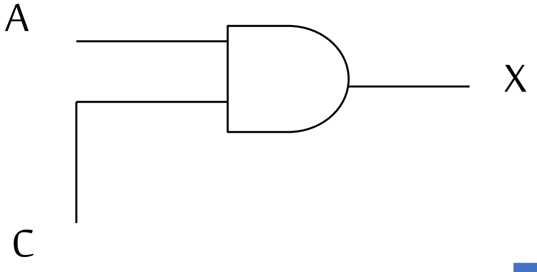
➢ تصفير B يعطي عكس A (-A)

➢ تصفير A يعطي عكس B (-B)

دارة طارح/جامع ذي الأربع خانات

وحدة الحساب (Arithmetic Unite) (4/6)

➢تصفير أحدالعددين A أو B يكون من خلال إضافة بوابة AND مع خط تحكم:



C	A	X
0	1	0
0	0	0

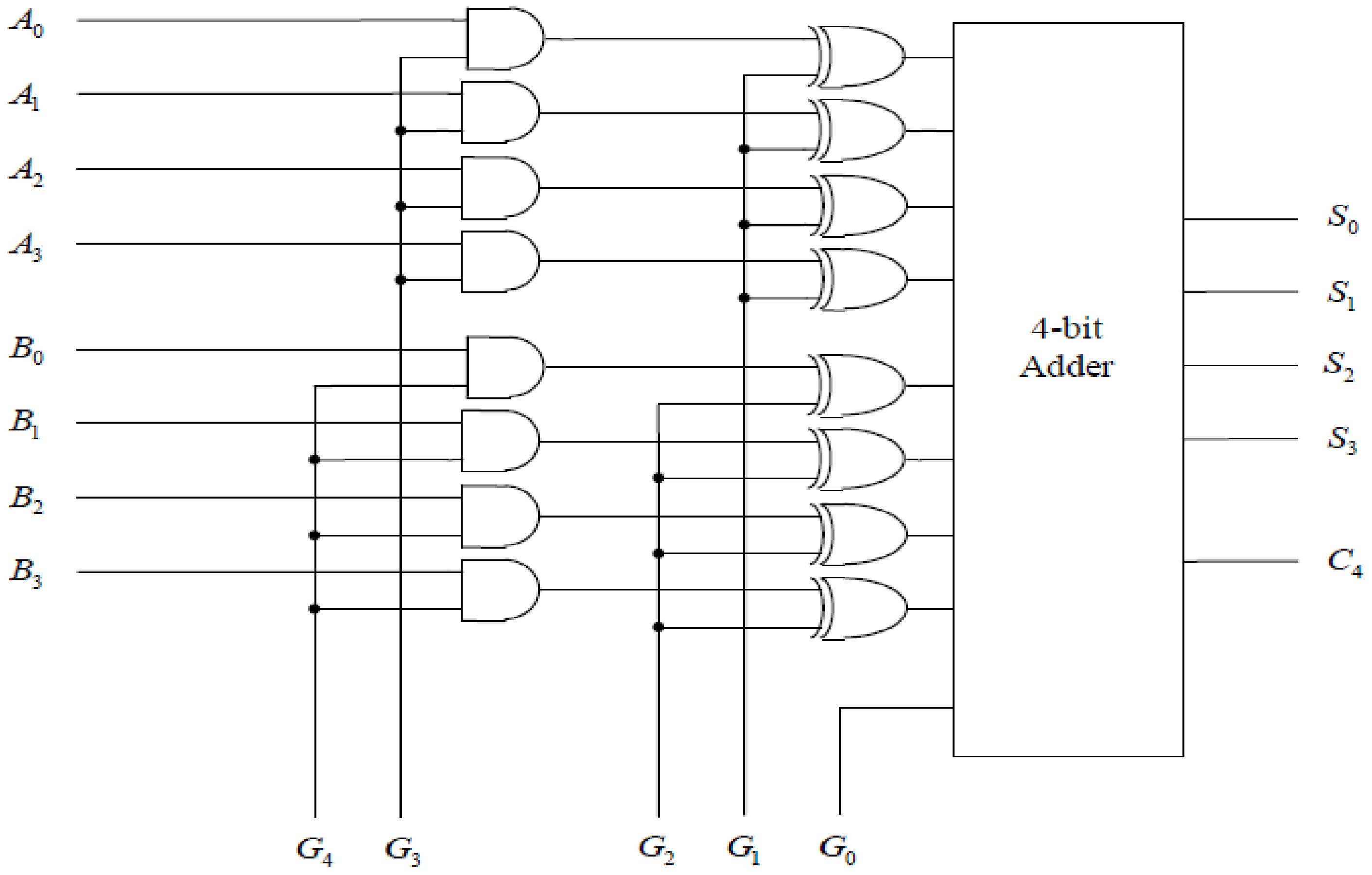
تصفير A

C	A	X
1	1	1
1	0	0

تمرير A

C	X
0	0
1	A

(5/6) (Arithmetic Unite) وحدة الحساب



وحدة الحساب (Arithmetic Unite) (6/6)

➢ اعتماداً على الجدول السابق يمكن الحصول على عدة عمليات من خلال **تصفير أحدالعددين A أو B** نذكر منها :

العملية دون تطبيق التصفير	G0	عكس		تصفير		العمليات عند استخدام التصفير
		A	B	A	B	
		G1	G2	G3	G4	
A+B+1	1	0	0	1	0	A++
A+B+1	1	0	0	0	1	B++
B-A-1	0	1	0	0	1	B--
A-B-1	0	0	1	1	0	A--
B-A	1	1	0	1	0	-A
A-B	1	0	1	0	1	-B

نهاية المحاضرة الخامسة