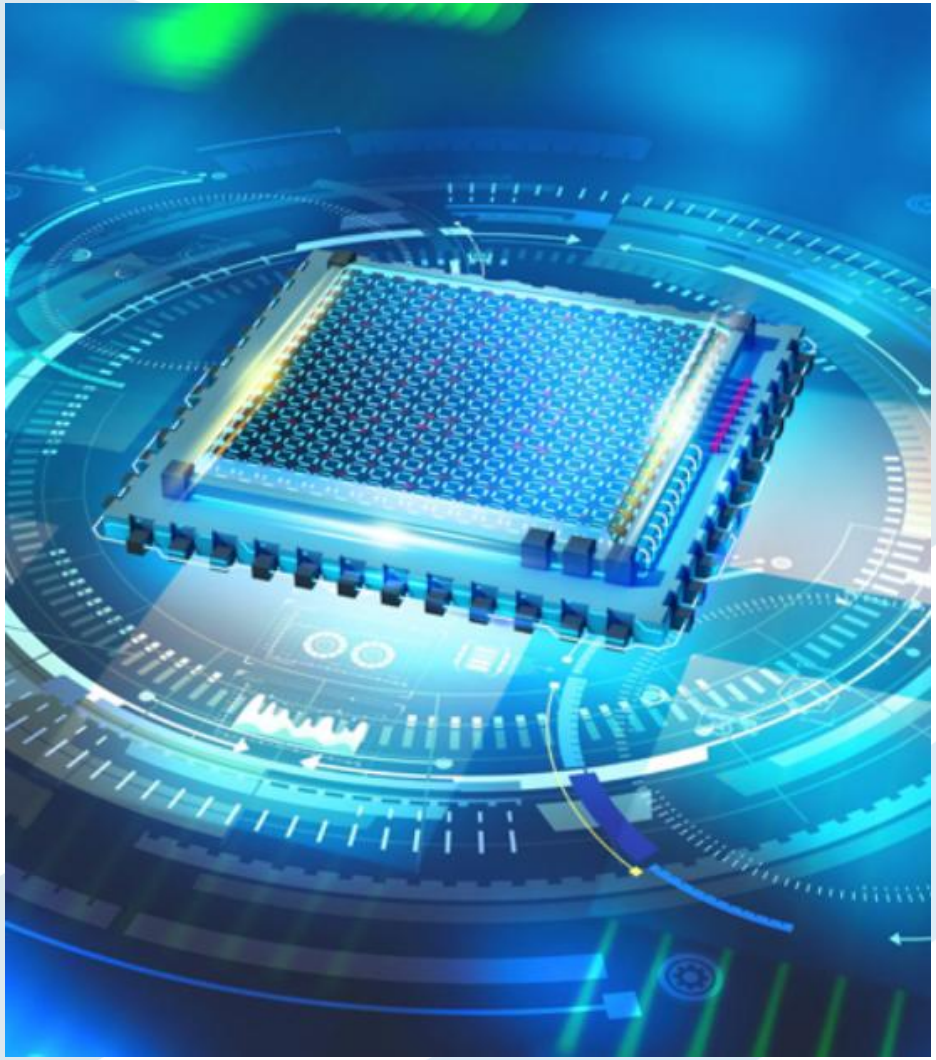
جامعة المنارة الخاصة
كلـــــية الهندســـــة
هندسة ميـــكاترونيك

المعالجات الصغرية ولغة التجميع

المحاضرة السادسة

مدرس المقرر
د. بسام حسن

2025_2026



مفردات من المحاضرة السادسة :

- The Processor
- مسار البيانات Datapath
- A single-cycle MIPS processor

The Processor

المعالج , يسمى أيضاً وحدة التحكم الأساسية CPU وهو الجزء الفعال من الحاسب ويحتوي على:

1. ممر المعطيات (Datapath)
2. التحكم (Control):

- يحتوي مسار البيانات (**Datapath**) على جميع الوحدات الوظيفية والوصلات اللازمة لتنفيذ بنية مجموعة التعليمات.
- MIPS هو معالج 32 بت، لذا فإن عرض معظم النواقل 32 بت.
- تُخبر وحدة التحكم (**control unit**) مسار البيانات (**Datapath**) بما يجب فعله، بناءً على التعليمات التي يتم تنفيذها حاليًا.
- يحتوي معالجنا على عشر إشارات تحكم تُنظّم مسار البيانات (**Datapath**).

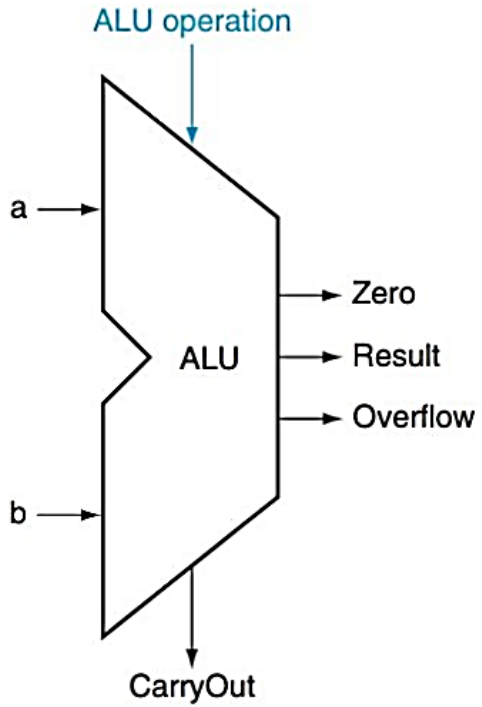
MIPS Datapath Elements

In the MIPS implementation, the **Datapath** elements include:

- The **ALU** (Arithmetic Logic Unit)
- The **instruction memory**
- The **data memory**
- The **register file**
- Adders
- Sign-Extender
- Single registers

Arithmetic and Logic Unit (ALU)

- The ALU
  - Takes two 32-bit inputs
  - Produces a 32-bit result
  - Produces also a 1-bit signal if the result is 0
  - Has 4-bit control signal



ALU control lines	Function
0000	AND
0001	OR
0010	add
0110	subtract
0111	set on less than
1100	NOR

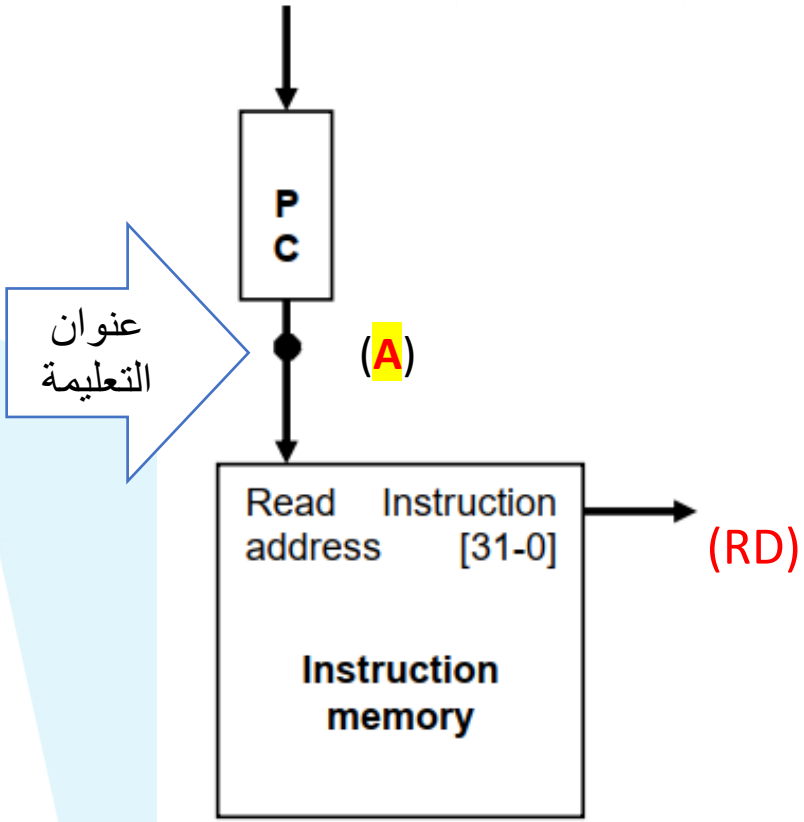
The Instruction Memory

- هي وحدة ذاكرة لتخزين تعليمات البرنامج.

The instruction memory has a single read port.

It takes a 32-bit instruction address input (A),

and reads the 32-bit data from that address onto the read data output (RD).

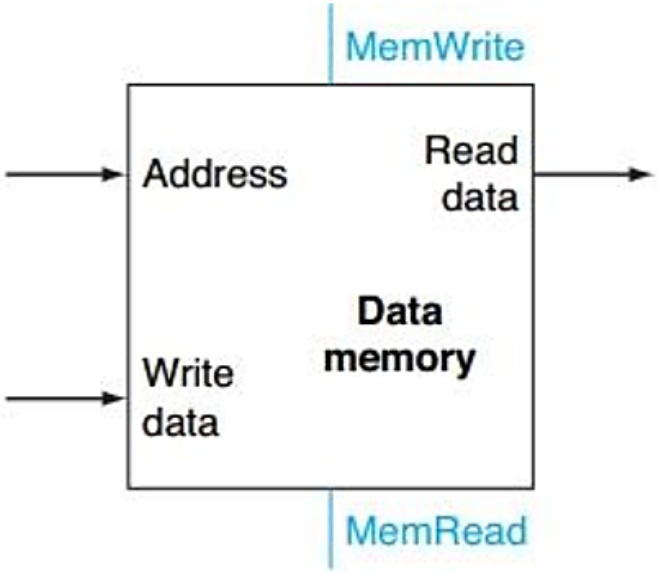


The Data Memory

- Has read and write control signals
- Has an address input
- Has an input for the data to be written
- Has an output for the read data

Blue lines represent control signals. **MemRead** and **MemWrite** should be set to 1 if the data memory is to be read or written respectively, and 0 otherwise.

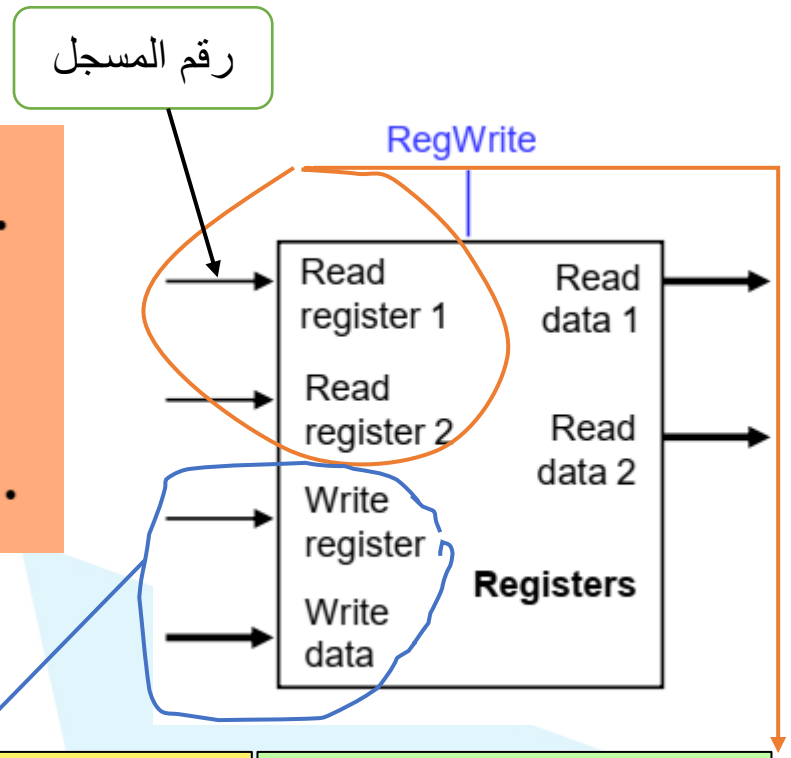
EXAMPLE:
To read from the data memory, set Memory read =**1**
set Memory write =**0**



Store -> MemWrite
Load -> MemRead

Register Files

- Our register file stores thirty-two 32-bit values.
  - Each register specifier is 5 bits long.
  - You can read from two registers at a time.
  - RegWrite is 1 if a register should be written.



لقراءة مسجل : يلزمنا دخل وحيد عبارة عن رقم المسجل ونحصل على خرج وحيد وهو المعطيات المحتواة في المسجل.

– لكتابة مسجل: يلزمنا ثلاث مدخلات وهي رقم المسجل والمعطيات المراد كتابتها ونبضة الساعة التي تتحكم بعملية الكتابة في المسجل.

A single-cycle MIPS processor

انشاء ممر معطيات Datapath مفرد:

جمع مكونات الـ Datapath التي نحتاجها لإجراء صنف معين من التعليمات في Datapath مفرد ثم إضافة التحكم لإكمال التطبيق.

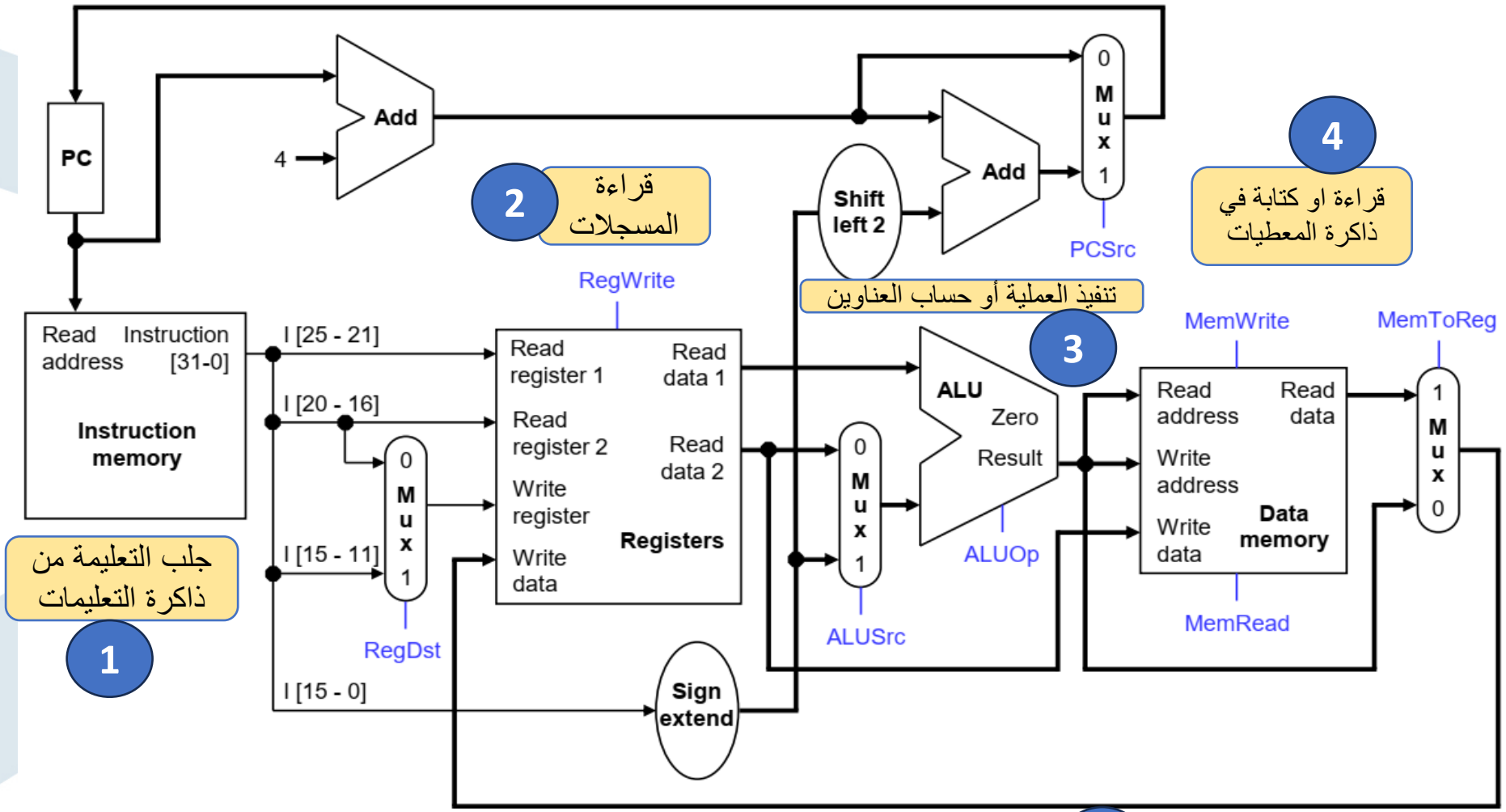
أبسط Datapath سيحاول تنفيذ التعليمة ضمن دورة ساعة واحدة ولا يمكن ان يستعمل الـ Datapath أكثر من مرة في التعليمة وكل عنصر نحتاجه أكثر من مرة يجب أن يكون مكرر.

المعالجة تجري في دورة ساعة واحدة ولا يمكن استخدام ممر ذاكرة وحيد لوصولين مختلفين ضمن دورة ساعة واحدة لذلك تكون ذاكرة المعطيات مفصولة عن ذاكرة التعليمات.

مشاركة العناصر لتدفق تعليمات مختلفة:

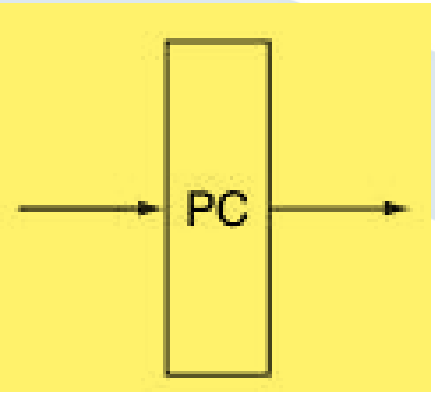
يسمح لارتباطات متعددة للدخل في عنصر عن طريق استخدام ناخب multiplexor مع اشارة تحكم للاختيار بين دخلي الناخب.

A single-cycle MIPS processor



Fetching Instructions

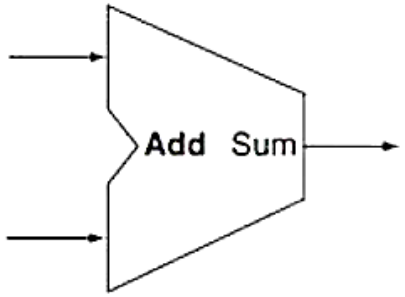
جلب التعليمة



ارسال عداد البرنامج PC إلى الذاكرة التي تحوي الشيفرة وجلب التعليمة منها.

عداد البرنامج (state element) هو مسجل يحوي عنوان التعليمة التي تنفذ في البرنامج عرضه 32 bits يكتب في نهاية كل دورة ساعة ولا تحتاج عملية الكتابة إشارة تحكم.

العناصر اللازمة لجلب التعليمة:

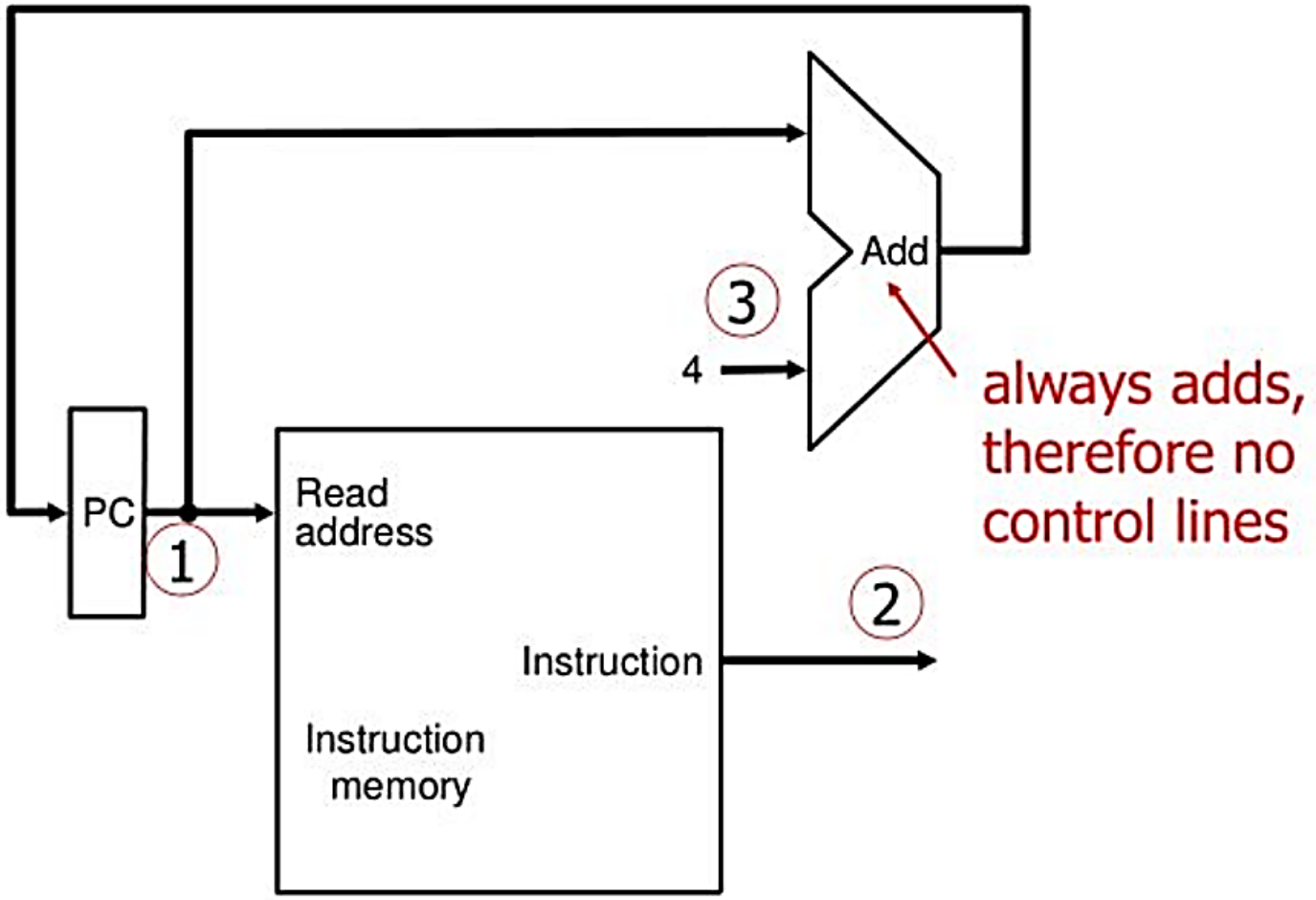


1. ذاكرة التعليمات (عنصر حالة state element).
2. عداد البرنامج PC (state element).
3. جامع: لزيادة الـ PCإلى العنوان للتعليمة التالية.

الجامع يجب أن يكون ALU موصولة بدخلين كل منهما 32 bits ويضع المجموع في الخرج.

Fetching Instructions

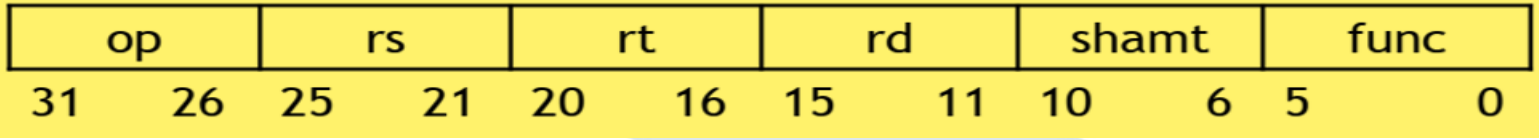
جلب التعليمة

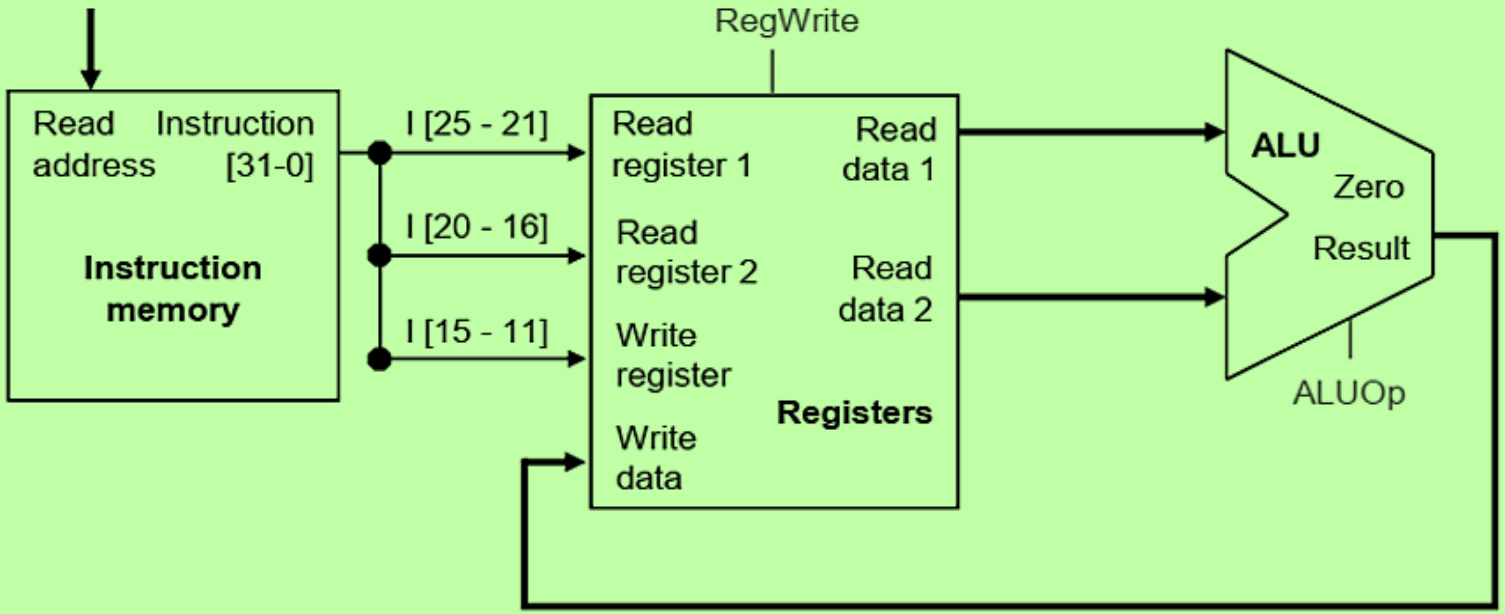


R-format instructions

العناصر اللازمة: ملف المسجلات ووحدة الحساب والمنطق ALU.

Add	add	R	R[rd] = R[rs] + R[rt]	(1) $0 / 20_{hex}$





a. قراءة تعليمة من ذاكرة التعليمات.
b. يجب قراءة مسجلات المصدر، المحددة بحقلي التعليمات rsوrt، من ملف المسجلات.
c. تنفذ وحدة الحساب والمنطق ALU العملية المطلوبة.
d. تُخزَّن نتيجتها في سجل الوجهة، المحدد بحقل rd من كلمة التعليمات.

Load and Store Instructions

op	rs	rt	address
6 bits	5 bits	5 bits	16 bits

الصيغة العامة لتعليمات Load and Store في MIPS هي:

```
lw $t1,offset_value($t2)
sw $t1,offset_value($t2)
```

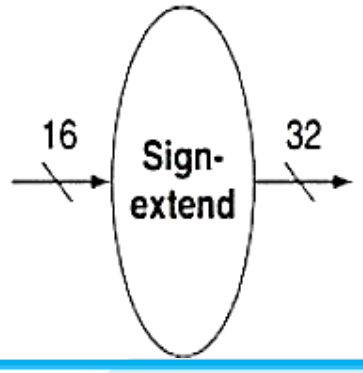
حساب عناوين الذاكرة بإضافة المسجل الأساس إلى الـ 16 bits المؤشرة من حقل الـ offset.

بالنسبة لتعليمة Store القيمة التي يجب أن تخزن يجب أن تقرأ أيضاً من ملف المسجلات أما اذا كانت التعليمة Load فالقيمة المقروءة من الذاكرة يجب أن تكتب في ملف المسجلات.

العناصر اللازمة: ملف المسجلات– وحدة الحساب والمنطق لحساب العناوين–

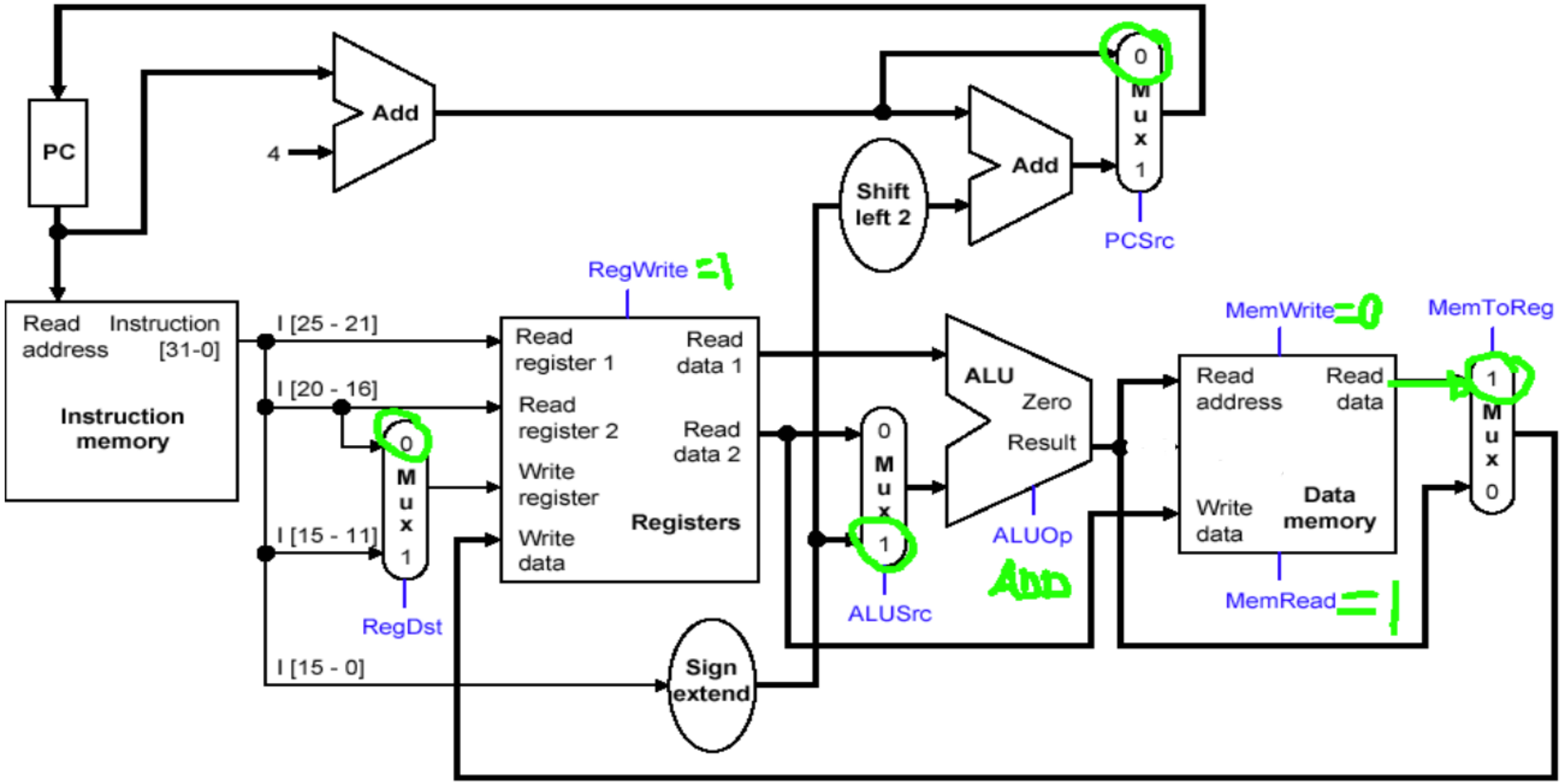
ممدد اشارة (sign extension) لتوسيع الـ 16bits من حقل الـ offset

للتعليمة إلى قيمة مؤشرة بطول 32 bits– ذاكرة المعطيات.



Example: Executing LW instruction

Load Word	lw	I	R[rt] = M[R[rs]+SignExtImm]	(2)	23_{hex}

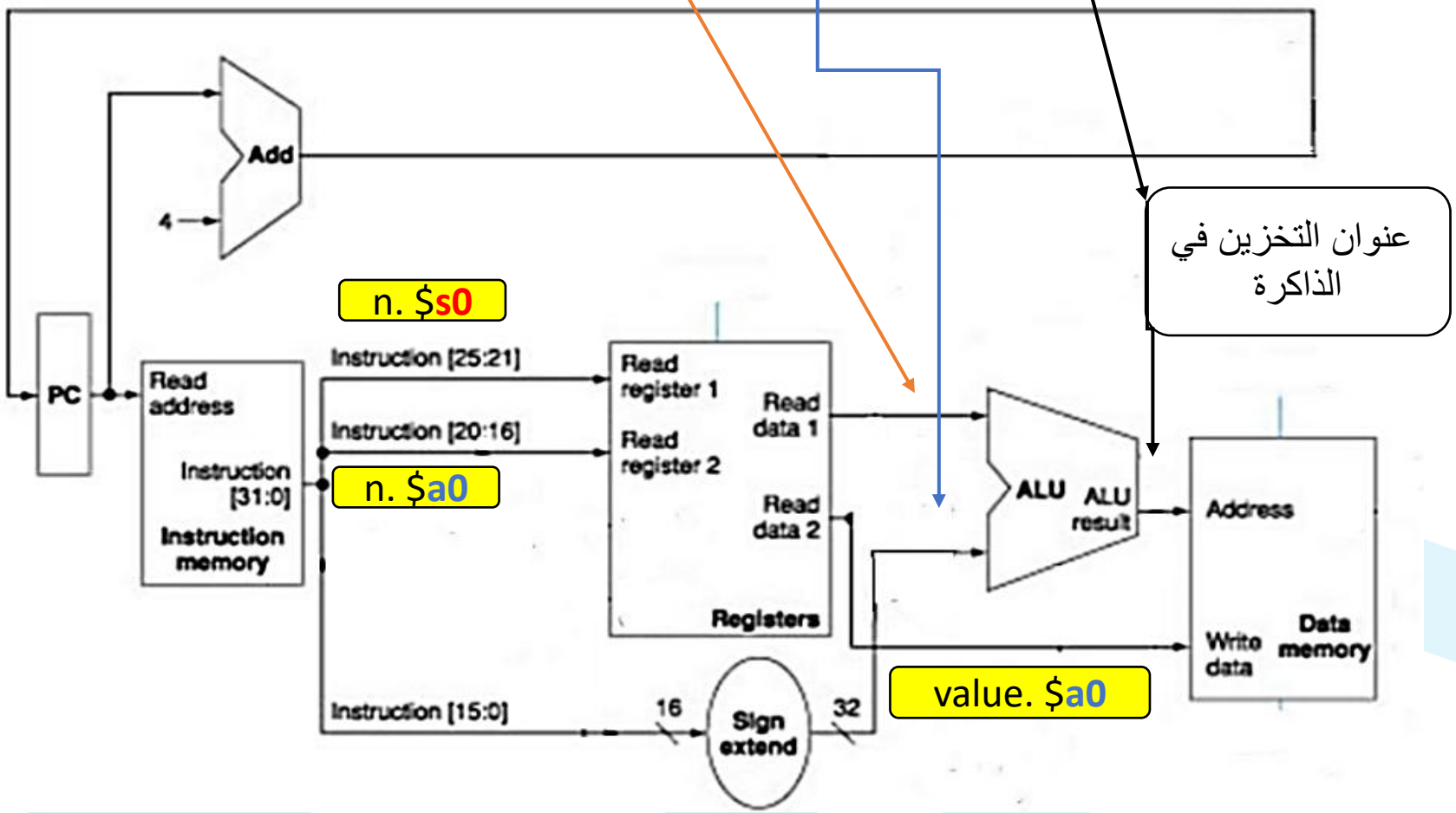


Example: Executing SW instruction

sw $a0, 16($sn)

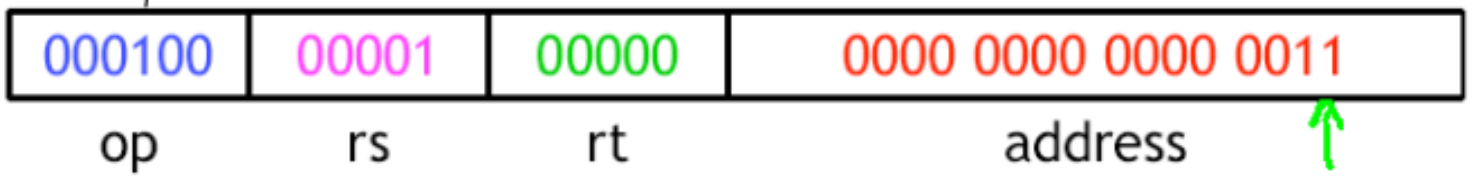
Load and Store Instructions

Store Word	sw	I	M[R[rs]+SignExtImm] = R[rt]	(2)	$2b_{hex}$



Execution of branch instructions

```
    beq $at, $zero, L
    add $v1, $v0, $zero
    add $v1, $v1, $v1
    j   somewhere
L:  add $v1, $v0, $v0
```



Offset= 3x4=12

The offset must be added to the next PC to generate the target address for branch.

Execution of branch instructions

Branch On Equal	beq	I	if(R[rs]==R[rt]) PC=PC+4+BranchAddr	4_{hex}

بالنسبة للـ Datapath الخاص بتعليمة beq يجب أن يجري عمليتين:

1. مقارنة محتوى المسجلين لذلك يلزمنا ملف المسجلات لتأمين قيمة المسجلين، ويلزمنا أيضاً ALU لإجراء المقارنة.
2. حساب عنوان القفز الهدف يلزمنا sign extension وبما أن حقل الـ offset عبارة عن كلمات لذلك يلزم مزيح إلى اليسار بمقدار 2 هذه الازاحة تمثل توجيه للإشارات بين الدخل والخرج وهي عبارة عن إضافة صفرين (00) إلى النهاية الدنيا من حقل الـ offset الموسع.

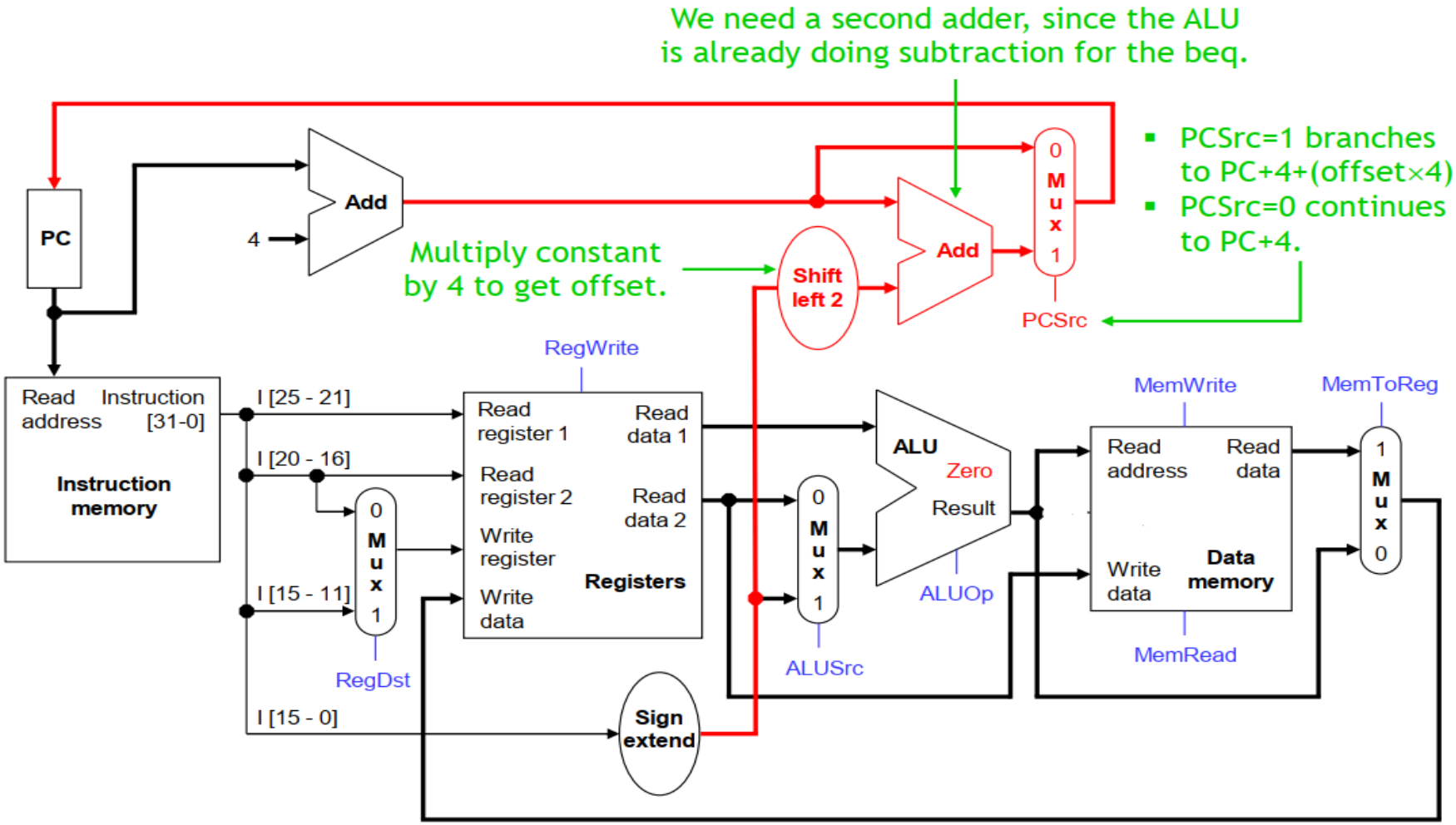
ملاحظة: لا نحتاج إزاحة حقيقية في التجهيزات عندما كمية الإزاحة مقدار ثابت.

حقل الـ offset منسوب إلى الـ PC عملياً PC+4.

يلزمنا جامع Adder لأن الـ ALU تستخدم للمقارنة.

Branch On Equal	beq	I	if(R[rs]==R[rt]) PC=PC+4+BranchAddr	4_{hex}

Execution of branch instructions



جَـامعة
المَـنارة
MANARA UNIVERSITY

نـهايـة المحـاضرة السـادسـة